

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-338836

(43)Date of publication of application : 07.12.2001

(51)Int.Cl. H01G 4/33  
H01L 23/12  
H01R 11/01  
H01R 33/76  
H01R 43/00  
// H01L 23/32

(21)Application number : 2000-359369

(71)Applicant : SUMITOMO METAL IND LTD

(22)Date of filing : 27.11.2000

(72)Inventor : YAMAMOTO TOSHISHIGE  
YAMANISHI YOSHIKI  
HASHIMOTO MASAYA  
YAMADE YOSHIKI

(30)Priority

Priority number : 2000084221

Priority date : 24.03.2000

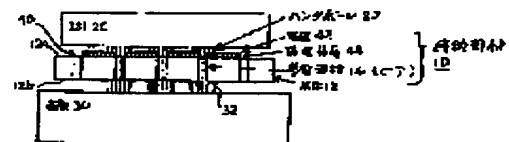
Priority country : JP

(54) CONNECTING MEMBER WITH CAPACITOR, ITS CONNECTING STRUCTURE, AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To arrange a capacitor which is effective for the suppression of the switching noise of an LSI for MPU and has a low inductance and a large capacitance in the LSI without forming the capacitor as an internal layer.

SOLUTION: A plastic substrate 12 through which a plurality of conductive members 14 are passed in the thickness direction, and on which a thin film capacitor 40 electrically connected among the members 14 without covering the members 14 is formed is inserted and flip-chip connected between the LSI 20 and a mounting substrate 30 mounted with the LSI 20 as a connecting member 10. The dielectric layer 44 of the capacitor 40 is divided into parts every unit capacitor formed between adjacent conductive members 14.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-338836

(P2001-338836A)

(43)公開日 平成13年12月7日(2001.12.7)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)
H 0 1 G 4/33		H 0 1 R 11/01	5 0 1 G 5 E 0 2 4
H 0 1 L 23/12		33/76	A 5 E 0 5 1
H 0 1 R 11/01	5 0 1	43/00	H 5 E 0 8 2
33/76		H 0 1 L 23/32	D
43/00		H 0 1 G 4/06	1 0 2
審査請求 未請求 請求項の数12 O L (全 21 頁) 最終頁に続く			

(21)出願番号 特願2000-359369(P2000-359369)

(22)出願日 平成12年11月27日(2000.11.27)

(31)優先権主張番号 特願2000-84221(P2000-84221)

(32)優先日 平成12年3月24日(2000.3.24)

(33)優先権主張国 日本(J P)

(71)出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(72)発明者 山本 利重

兵庫県尼崎市扶桑町1番8号 住友金属工

業株式会社エレクトロニクス技術研究所内

(72)発明者 山西 良樹

兵庫県尼崎市扶桑町1番8号 住友金属工

業株式会社エレクトロニクス技術研究所内

(74)代理人 100081352

弁理士 広瀬 章一

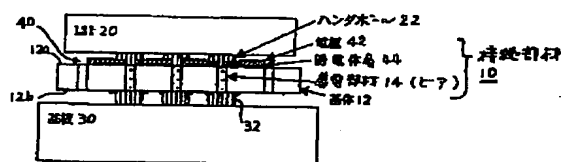
最終頁に続く

(54)【発明の名称】 コンデンサ付き接続部材、その接続構造と製造方法

(57)【要約】

【課題】 MPU用LSIのスイッチングノイズの抑制に有効な、低インダクタンスで高容量のコンデンサを、LSIに内層化せずに配置する。

【解決手段】 複数の導電部材14が厚み方向に貫通しているプラスチック基体12に、その導電部材間に電氣的に接続し、導電部材を覆わない形態の薄膜コンデンサ40を形成したものを接続部材10として、LSI20とこれを実装する実装基板30との間に挿入してフリップチップ接続を行う。薄膜コンデンサ40の誘電体層44は、隣接する導電部材14間に形成された単位コンデンサごとに分離させる。



## 【特許請求の範囲】

【請求項1】 プラスチック基体と、この基体の第1の面から第2の面まで貫通している複数の導電部材とを有する接続部材であって、

前記基体の第1の面と第2の面の少なくとも片面に、前記複数の導電部材のうちの隣接する少なくとも一組の導電部材間に電氣的に接続された、これらの導電部材を覆わない薄膜コンデンサが形成されており、前記薄膜コンデンサを構成する誘電体層が、隣接する一組の導電部材の間に形成された単位コンデンサごとに分離されていることを特徴とする、薄膜コンデンサ付き接続部材。

【請求項2】 プラスチック基体と、この基体の第1の面から第2の面まで貫通している複数の導電部材とを有する接続部材であって、

前記基体の第1の面と第2の面の片面に、前記複数の導電部材のうちの隣接する少なくとも一組の導電部材間に電氣的に接続された、これらの導電部材を覆わない薄膜コンデンサが形成されており、薄膜コンデンサが形成されない側の面に、隣接する2以上の同電位の導電部材間を電氣的に接続する接続用電極が形成されていることを特徴とする、薄膜コンデンサ付き接続部材。

【請求項3】 プラスチック基体と、この基体の第1の面から第2の面まで貫通している複数の導電部材とを有する接続部材であって、

前記基体の第1の面と第2の面の少なくとも片面に、前記複数の導電部材のうちの隣接する少なくとも一組の導電部材間に電氣的に接続された、これらの導電部材を覆わない薄膜コンデンサが形成されており、この薄膜コンデンサを構成する誘電体層が凹凸を繰り返す断面形状を有することを特徴とする、薄膜コンデンサ付き接続部材。

【請求項4】 前記薄膜コンデンサを構成する誘電体層がほぼ均一な厚みを持ち、かつその断面形状が正弦波状の凹凸を繰り返している、請求項3記載の薄膜コンデンサ付き接続部材。

【請求項5】 前記薄膜コンデンサを構成する誘電体層が、隣接する一組の導電部材の間に形成された単位コンデンサ毎に分離されている、請求項2～4のいずれかに記載の薄膜コンデンサ付き接続部材。

【請求項6】 前記基体の第1の面と第2の面の少なくとも片面に、前記導電部材と電氣的に接続された実装用ハンダボールが形成されていることを特徴とする、請求項1ないし5のいずれかに記載の薄膜コンデンサ付き接続部材。

【請求項7】 半導体チップ、請求項1～6のいずれかに記載の薄膜コンデンサ付き接続部材、および実装基板が、この順にハンダを介して電氣的に接続されていることを特徴とする、薄膜コンデンサ付き接続部材を用いた接続構造。

【請求項8】 前記接続部材が、前記半導体チップに接

続される側の基体片面だけに前記薄膜コンデンサを有している、請求項7記載の薄膜コンデンサ付き接続部材を用いた接続構造。

【請求項9】 前記実装基板が、プラスチックを絶縁材料とするプラスチック基板である、請求項7または8記載の薄膜コンデンサ付き接続部材を用いた接続構造。

【請求項10】 請求項3または4記載の薄膜コンデンサ付き接続部材の製造方法であって、前記プラスチック基体または前記薄膜コンデンサを構成する下部電極の表面に凹凸を形成する工程を含むことを特徴とする、薄膜コンデンサ付き接続部材の製造方法。

【請求項11】 請求項4記載の薄膜コンデンサ付き接続部材の製造方法であって、前記プラスチック基体の表面に矩形凹凸を形成する工程と、この基体表面の凹部を局部的に加熱して矩形凹凸の角を丸くする工程を含むことを特徴とする、薄膜コンデンサ付き接続部材の製造方法。

【請求項12】 請求項4記載の薄膜コンデンサ付き接続部材の製造方法であって、前記プラスチック基体の表面に熱硬化性樹脂を吹き付けて島状に分布させた後、熱硬化させることにより、基体表面に凹凸を形成する工程を含むことを特徴とする、薄膜コンデンサ付き接続部材の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、IC、LSI（VLSIやULSI等も含む）といった半導体チップを、半導体パッケージやマザーボード等（これらを実装基板と称する）に実装するのに使用できる接続部材に関し、特に高周波で同時に動作する複数の論理回路を持つLSIに起こり易いスイッチングノイズ（同時切り換えノイズ）を低減させることのできる、バイパスコンデンサを備えた接続部材に関する。

【0002】本発明は、また、この接続部材を用いた接続構造とこの接続構造の製造方法にも関する。

## 【0003】

【従来の技術】コンピュータのMPUを始めとする高速（高周波数）で動作するLSIでは、高速化に伴って同時に切り替わる論理回路の数が増大しているため、同時に動作する一つの論理回路のスイッチングが他の論理回路に対してノイズとなるスイッチングノイズが誤動作の原因として問題になっている。

【0004】LSIの動作をより高速化するためにはこのスイッチングノイズを抑制することが必要で、このための対策として、接続部を含む電源について、そのインピーダンスを低くすることが必要となってきた。

【0005】そのための一つの手法は、電源—LSI間の電源ラインまでのインダクタンス成分ができるだけ小さくなるように実装方法を変更することである。具体的には、LSIとそのパッケージ上の電極パッドとの間の

導通を、従来の金またはアルミニウム等の金属線でつなぐワイヤーボンディングから、微細なハンダのボールでつなぐフリップチップ接続に変更することである。パッケージとマザーボードの間の接続についても同様に、ピンを介して実装するPGA (Pin Grid Array) から、金属ボールにより実装するBGA (Ball Grid Array)に変更する動きがある。これらの接続手段の変更はどちらも、接続部材の長さを短くして、インダクタンス成分を少なくすることを意図している。

【0006】格子状(マトリックス)に多数の電極が形成できるLSIのフリップチップ実装では、インダクタンスは電極数に反比例するので、電極ピッチが小さいほど全体のインダクタンスは小さくなる。しかし、電極ピッチが小さいと、LSIを搭載するパッケージには微細配線が要求されることになる。

【0007】現在、フリップチップの電極ピッチは100ミクロンレベルに達しており、今後ますますピッチが小さくなることが予想されている。電極ピッチ100ミクロンということは、パッケージ側の配線幅およびスペースは50ミクロンずつとなり、プリント基板製造プロセスを使用した安価なPBGA (Plastic Ball Grid Array)や従来から使用されているアルミナセラミックの多層パッケージが使用できない。代わって、近年微細配線形成が可能なビルドアップ基板を使用したパッケージが開発されているが、コストアップは避けられない。

【0008】電源ラインのインピーダンスを低くするための別の手法は、仮想的な電源として機能する、デカップリングコンデンサと呼ばれるバイパスコンデンサを、電源ラインとグランド(接地)ラインの間に挿入することである。

【0009】バイパスコンデンサは、低周波数域での効果を大きくするためには高容量のものが望ましいが、高速(高周波数域)でのスイッチングノイズ低減の目的を十分に果たすには、LSI-コンデンサ間の電源ラインのインダクタンスと、このコンデンサ自身が有するインダクタンス(以下、内部インダクタンスという)の両方が小さいことが求められる。LSIは今後もますます高周波数化するので、接続部を含めてバイパスコンデンサのインダクタンスを小さくし、高周波数に対応できるようにすることが非常に重要となる。

【0010】バイパスコンデンサとして広く用いられているチップコンデンサは、容量が $1\mu\text{F}$ と大きいものが開発されているが、内部インダクタンス500pHと大きいことがネックである。また、外部端子も2端子であるため、フリップチップ実装によって配線を並列に配置し、インダクタンスを低減しても、チップコンデンサを接続する部分で、配線を束ねる必要があり、この部分でインダクタンスが大きくなってしまおうという問題があり、高周波数に対応することは困難である。

【0011】一方、単品部品を用いず、コンデンサをL

SIやマザーボードの内部に一体的に形成すれば、このような問題点がないので、高周波数化に対応するのに有利であると思われる。

【0012】スイッチングノイズを低減させるためのバイパスコンデンサとして薄膜コンデンサを用い、これをコンピュータのマザーボードの内部に形成すると、大容量のコンデンサを挿入できるため低周波数域では効果を発揮するものの、コンデンサが途中のピンや配線のインダクタンス成分の影響を受けてインダクタンスが高くなるため、高周波数化には対応できない。

【0013】薄膜コンデンサをLSIの内部に形成すれば、インダクタンスを小さくでき、高周波数化に対応できる。しかし、これはLSI製造プロセスの変更を必要とし、歩留まりの低下を伴う。また、容量を大きくするにはコンデンサの面積を大きくする必要があるため、それに伴ってLSIの寸法が増大し、コストの上昇を招く。

【0014】そこで、MPU用のセラミックスパッケージの内部のLSIの近傍にコンデンサを一体化して内蔵する技術が近年開発された。このコンデンサを内蔵化したセラミックスパッケージは、比較的大型のコンピュータのMPU用に多用されている。しかし、コンパクト型、ノート型等の小型コンピュータの場合、MPU用のLSIパッケージの主流は、価格、取り替え、マザーボードの構造等の要因から、プラスチックPGA (PPGA) パッケージである。多層プリント基板にLSIを搭載したプラスチックパッケージでは、コンデンサを内蔵化する技術はほとんど開発されていない。

【0015】特開平4-211191号公報には、セラミックス基板上にプラスチックを絶縁層とする多層薄膜回路を形成した上にLSIを搭載した半導体パッケージにおいて、LSIへの接続部とセラミックス基板との間または薄膜回路内に薄膜コンデンサを内蔵させることが提案されている。しかし、熱膨張係数が異なるセラミックス基板とプラスチック基板とを組合わせていることと、セラミックス基板に弾性がないことから、実装のためのハンダリフロー時に熱膨張係数差に起因して接続部に発生する応力が十分に吸収されず、接続部の信頼性が低下する恐れがある。

【0016】また、この公報に開示されているコンデンサの構造は、基板あるいは基体の全面に誘電体層を形成するものである。基板もしくは基体と導体金属と誘電体層は互いに熱膨張係数が異なるため、全面に誘電体層を形成すると、実装プロセス中に誘電体層が受ける熱応力が大きくなり、誘電体層に亀裂が入って、コンデンサによるスイッチングノイズの抑制効果が失われる危険性があり、この点でも信頼性の低下が懸念される。

【0017】米国特許第5,406,446号には、フリップチップ実装されたLSI近傍に薄膜コンデンサを配置した構造が開示されている。同特許のFig. 1に示されている

ように、フリップチップの電源電極／グランド電極は格子状に多数配列されており、並列に配線を形成することでコンデンサまでのインダクタンスが低減する。薄膜コンデンサが形成されている基板（以下、接続部材）には、同じくFig. 11に図示されるようにフリップチップの電極ピッチと同一のビアホールが基板を貫通するように形成されており、該接続部材の下面に配置される電極ピッチもパッケージの電極ピッチもフリップチップの電極ピッチに等しい。

【0018】しかし、この薄膜コンデンサを設けた接続部材にもいくつかの問題点がある。まず、この薄膜コンデンサも、上記と同様に、薄膜コンデンサを構成する誘電体層が基板の全面に形成されており、残留応力や実装時の熱応力による歪みが大きくなる。この大きな歪みが、薄膜コンデンサを構成する誘電体層の亀裂や割れを引き起こして、コンデンサとしての機能を損なうことがあるので、信頼性の点で必ずしも満足できない。

【0019】次に、薄膜コンデンサの大きさはほぼLSIの大きさと同じになることから、面積が限られる。その場合、限られた面積でバイパスコンデンサとして必要な容量を確保するための誘電体材料の選択や厚みの設計が難しくなる。即ち、成膜の容易な誘電体材料では、その面積で十分な容量を持つ誘電体層を形成することが困難なため、高誘電率であるが成膜しにくい材料を使用せざるを得なくなることがある。また、誘電体層が薄すぎるとリーク電流が多くなるため、厚みを大きくする必要が出てきて、成膜に時間がかかるといった問題もある。

【0020】さらに、上記米国特許の薄膜コンデンサでは、フリップチップ電極のピッチが細かいほど、同じピッチで形成される薄膜コンデンサまでのインダクタンスが低減し、スイッチングノイズ低減効果が大きくなるが、これら微小ピッチで形成された電極をパッケージに形成しなければならず、パッケージに微細な配線が必要となり、高価な物になってしまう。

【0021】

【発明が解決しようとする課題】ここに、本発明の課題は、高速で動作するMPU用のLSIのスイッチングノイズの抑制に有効な、小型で高周波数に十分対応でき、インダクタンス成分の小さい薄膜コンデンサを備えた接続部材であって、特にプラスチックを絶縁材料とする多層プリント基板を用いたプラスチックパッケージで利用するのに適した接続部材を提供することである。

【0022】本発明のより具体的な課題は、このような接続部材において、残留応力や実装時の熱歪みを少なくして信頼性を改善すること、誘電体層の表面積を大きくして材料の選択や厚みの設計を容易にすること、および／または微細な配線の形成を少なくしてコストを低減することである。

【0023】

【課題を解決するための手段】本発明者らは、バイパス

コンデンサによるスイッチングノイズの抑制について検討した。

【0024】高周波数化に対応するには、インダクタンスが高くなるマザーボードへのコンデンサの挿入は採用できない。一方、LSIの内部にコンデンサを挿入する内層化は、低インダクタンスとなるが、製造プロセスの変更や寸法増大が必要となるので、やはり採用は難しい。そこで、バイパスコンデンサとしての薄膜コンデンサを、LSIの内層ではなく、独立した接続部材の形態で、LSIと実装基板との間に配置することに着目した。

【0025】この接続部材の基体としてプラスチックを用いることにより、小型・高容量のコンデンサを低インダクタンスで形成でき、かつプラスチックパッケージやプリント基板との熱膨張係数の違いからくる応力が緩和でき、接続の信頼性を確保することができる。その際に、薄膜コンデンサの誘電体層を、各単位コンデンサごとに分離して形成すると、基板全体にベタで一面に形成する場合に比べて、誘電体層に加わる応力が著しく小さくなり、これに亀裂が入ってコンデンサの機能が損なわれる危険性が解消されて、信頼性のある薄膜コンデンサ付き接続部材となることを知った。

【0026】本発明によれば、プラスチック基体と、この基体の第1の面から第2の面まで貫通している複数の導電部材（ビア）とを有する接続部材であって、前記基体の第1の面と第2の面の少なくとも片面に、前記複数の導電部材のうちの隣接する少なくとも一組の導電部材間に電気的に接続された、これらの導電部材を覆わない薄膜コンデンサが形成されている、薄膜コンデンサ付きの接続部材が提供される。

【0027】この接続部材は、前記薄膜コンデンサを構成する誘電体層が、隣接する一組の導電部材間に形成された単位コンデンサごとに分離して形成されていることを特徴とする。それにより、誘電体層が小面積に区画され、残留応力や熱歪みが少なく、薄膜コンデンサの信頼性が向上する。

【0028】ところで、スイッチングノイズ低減のために低減すべき電源ラインのインダクタンスは、LSIとバイパスコンデンサとの間のインダクタンスであり、バイパスコンデンサと電源との間のそれではない。従って、後者の電源との間のインダクタンスは多少大きくなってもスイッチングノイズに影響しない。

【0029】このため、上記の薄膜コンデンサ付き接続部材において、バイパスコンデンサとなる薄膜コンデンサをLSIとフリップチップ接続される片面だけに設け、この接続部材の導電部材（ビア）のピッチは、フリップチップ電極ピッチと同一とするが、薄膜コンデンサを設けない接続部材の裏面側は、2以上の電源ラインを連結して電極数を半分に以下にまびくと、電極ピッチを荒くでき、パッケージの細かいパターン形成が不要とな

り、コスト的に有利である。

【0030】従って、本発明の別の態様によれば、上記の薄膜コンデンサ付きの接続部材において、前記薄膜コンデンサが前記基体の第1の面と第2の面の片面だけに形成されており、かつ薄膜コンデンサが形成されない側の面に、隣接する2以上の同電位の導電部材間を電氣的に接続する接続用電極が形成されていることを特徴とする。

【0031】また、薄膜コンデンサの誘電体層を平坦に形成するのではなく、この誘電体層を凹凸を繰り返す断面形状を持つように形成することにより、コンデンサの実効面積を広くすることができ、それにより成膜しやすいが低誘電率の誘電体材料からなる誘電体層でも必要な容量を確保することが可能となる。また、高容量化のために誘電体層の厚みを薄くしなくても必要な容量を確保できることから、リーク電流を低く抑えることが可能となり、誘電体層を構成する材料の選択と厚みの設計が容易となる。

【0032】従って、本発明の別の態様では、上記の薄膜コンデンサ付きの接続部材において、この薄膜コンデンサを構成する誘電体層が凹凸を繰り返す断面形状を持つように形成されていることを特徴とする。好ましくは、この誘電体層はほぼ均一な厚みを持ち、かつその断面形状が正弦波状の凹凸（角を持たない曲線状の凹凸）を繰り返している。

【0033】このような誘電体層が凹凸を繰り返す断面形状を持つ薄膜コンデンサ付き接続部材は、前記基体または前記薄膜コンデンサを構成する下部電極を乾式または湿式でエッチングし、その表面に凹凸を形成する工程を含むことを特徴とする方法により形成することができる。

【0034】また、誘電体層が正弦波状の凹凸を繰り返す断面形状を持つ薄膜コンデンサ付き接続部材は、

①プラスチック基体の表面に矩形凹凸を形成する工程と、この基体表面の凹部を局部的に加熱して矩形凹凸の角を丸くする工程を含むことを特徴とする方法、あるいは

②プラスチック基体の表面に熱硬化性樹脂を吹き付けて島状に分布させた後、熱硬化させることにより、基体表面に凹凸を形成する工程を含むことを特徴とする方法、により製造することができる。

【0035】本発明に係る薄膜コンデンサ付き接続部材の好適態様では、前記基体の第1の面と第2の面の少なくとも片面に、前記導電部材と電氣的に接続された実装用ハンダボールが形成されている。

【0036】本発明によればまた、半導体チップ、上記の各態様の薄膜コンデンサ付き接続部材、および実装基板が、この順にハンダを介して電氣的に接続されていることを特徴とする、薄膜コンデンサ付き接続部材を用いた接続構造も提供される。

【0037】この接続構造において、接続部材は、半導体チップと接続される側の基体の片面だけに薄膜コンデンサを有していることが好ましく、実装基板はプラスチックを絶縁材料とするプラスチック基板であることが好ましい。

【0038】

【発明の実施の形態】本発明の薄膜コンデンサ付き接続部材は、LSIで代表される半導体チップとこれを実装する基板（実装基板）との間に挿入して、LSIと実装基板との接続に使用することを意図したものである。実装基板は好ましくはプラスチック基板であり、半導体パッケージとマザーボードのいずれでもよいが、現状で特に好ましいのはフリップチップ接続される半導体パッケージ、好ましくはプラスチックパッケージである。しかし、本発明の接続部材をプラスチックパッケージとマザーボードとのBGA接続に利用することもできる。以下では、説明を具体的にするために、主にLSIをフリップチップ接続によりプラスチックパッケージに実装する場合について説明する。

【0039】図1に示すように、本発明の接続部材(10)は、薄いプラスチック基体(12)に、その第1の面(12a)から反対側の第2の面(12b)まで貫通している複数の導電部材、即ち、ビア(14)を設けた基本構造を持つ。これらの導電部材は電源ラインまたはグラウンドラインのいずれかを構成する。

【0040】プラスチック基体(12)は、ポリイミド等の低誘電率で耐熱性に優れたプラスチックから構成することが好ましい。その厚みは特に制限されないが、通常は30～500 μm、特に50～300 μm程度とするのがよい。導電部材(14)の材質は銅、銀、銀-パラジウム合金、ハンダ等でよく、その直径は一般に25～200 μm、特に40～120 μm程度とするのがよい。

【0041】接続部材(10)における導電部材(14)の配置パターンは、この接続部材で接続すべきLSI(20)と実装基板(30)の電極の配置パターンに合わせる。即ち、LSIに接続される基体の第1の面(12a)では、LSI(20)との接続用ハンダボールもしくはバンプ(22)と同じ配置パターンであり、基板に接続される基体の第2の面(12b)では、実装基板(30)との接続用の実装用ハンダボールまたはパッド部(32)と同じ配置パターンとする。それにより、LSI(20)の実装用ハンダボール(22)と実装基板(30)の実装用ハンダボール(32)と導電部材(14)とが一直線に整列して接続される。多くの場合、LSIの実装用ハンダボール(22)と基板の実装用ハンダボール(32)は互いに同じ配置パターンとするので、接続部材における導電部材の配置パターンもそれに合わせる。

【0042】このように一直線に整列して配置すると、インダクタンスが最小となり好ましいが、これに限られるわけではなく、目的、要求性能に応じて許容される範囲で実装用のハンダボールまたはパッド部の位置をわず

かにずらせることは可能である。

【0043】本発明によれば、上記の接続部材(10)の基体(12)の第1の面(12a)と第2の面(12b)の少なくとも片面〔図示例ではLSIに面した第1の面(12a)、即ち、片面だけ〕に、薄膜コンデンサ(40)を設ける。それにより、コンデンサをLSIに内層化せずに、電源ラインとグラウンドラインの間にスイッチングノイズの低減に有効なバイパスコンデンサとして機能する薄膜コンデンサを挿入することができる。

【0044】薄膜コンデンサ(40)は、金属導体からなる上下の薄膜電極(42)の間に誘電体層(44)を挟んだ基本構造を持ち、本発明では、少なくとも一組の隣接する導電部材(14)の間に電氣的に接続させて、かつこれらの導電部材を覆わないように、基体(12)の表面に配置する。好ましくは、すべての隣接する導電部材間に薄膜コンデンサを配置する。

【0045】このコンデンサを薄膜とすることで、小型でも容量を高くすることができる。薄膜コンデンサ(40)の上下電極と誘電体層のパターンの例を図2(a)~(c)に示す。

【0046】図示例では、基体表面に接する下部電極(42a)は、図2(a)に示すように、基体を貫通する導電部材のうちグラウンドラインの導電部材(14a)だけに接続され、電源ラインの導電部材(14b)には接続されないようなパターンで、基体表面に形成する。図示のように、下部電極(42a)は電源ラインの導電部材(14b)の周囲を除いて、実質的にベタに形成するのが簡便である。

【0047】その上に設けた誘電体層44は、図2(b)に示すように、ベタに形成するのではなく、隣接する4個の導電部材の組(即ち「隣接する一組の導電部材」)でそれぞれ囲まれ単位コンデンサ(44-1, 2, 3...)ごとに分離した(即ち、1つの単位コンデンサの誘電体層が隣接する他の単位コンデンサの誘電体層と離れている)パターンで形成する。図示例では、1つの単位コンデンサを包囲する4個の隣接する導電部材間を結ぶ線を越えないように誘電体層が分離されている。このように誘電体層を小面積ずつに分けることで、成膜プロセスにより生じる残留応力や実装時の熱応力が減少した誘電体層とすることができ、膜の割れの防止につながるので、コンデンサの信頼性が高まる。誘電体層の分離は、図示のように、各単位コンデンサごとに分けるのが最も好ましいが、2個または数個の単位コンデンサの誘電体層をつなげても、ある程度の効果は得られる。

【0048】誘電体層(44)の上に形成した上部電極(42b)は、図2(c)に示すように、下部電極とは逆に、電源ラインの導電部材(14b)に接続され、グラウンドラインには接続されないように、かつ下部電極と導通しないようなパターンで形成する。そのため、図示例では、上部電極(42b)を誘電体層より小さくし、下部電極(42a)が形成されていない電源ラインの導電部材(14b)の周囲で延

設して、この導電部材に接続する。

【0049】下部電極と上部電極の接続様式は、逆にして、下部電極を電源ラインに、上部電極をグラウンドラインに接続することも可能である。図2(d)は、接続部材(10)の基体の裏面側(第2の面<12b>)の導電部材と電極の配置を示す。

【0050】薄膜コンデンサの電極の材料は、基体の導電部材と同じ材料とすることができるが、導電性が良好であれば、別の材料でもよい。誘電体層の好ましい材料としては、酸化タンタル、チタン酸ストロンチウム、チタン酸バリウム、チタン酸鉛、チタン酸ジルコニウム等の無機材料の他に、有機系高誘電率膜などが挙げられる。

【0051】本発明の薄膜コンデンサ付き接続部材は、図1に示すように、フリップチップ接続されるLSIと半導体パッケージの間に挿入して、LSIと基板を接続するのに適している。その場合、この接続部材の基体の少なくとも片面(即ち、第1の面と第2の面の少なくとも一方)に、フリップチップ接続に利用する実装用ハンダボール(32)を、接続部材の導電部材(14)と電氣的に接続するように形成しておく、接続作業が簡便になり有利である。この実装用ハンダボールは、接続部材の基体の両面に形成してもよい。

【0052】実装用ハンダボールは、基体表面のハンダボールを形成しない部分をソルダーレジストで覆った後、ハンダペーストをスクリーン印刷することにより形成することができる。その場合、ソルダーレジストとして、耐湿性の良好な膜を形成できるプラスチック材料(例えば、ポリイミド)を使用することが有利である。ハンダボール形成後もこのソルダーレジストを永久レジストとして残しておくことにより、コンデンサを湿気から保護することができるからである。

【0053】本発明の薄膜コンデンサ付き接続部材を用いてLSIを半導体パッケージにフリップチップ実装した場合、薄膜コンデンサはフリップチップ接続用の基板の電極パッドやスルーホールに近接しているので、それぞれの単位コンデンサのインダクタンスは非常に小さい。さらに、この接続部材にLSIを小型のハンダボールにより接続することで、チップとコンデンサの間のインダクタンス成分も小さくできる。これらの相乗効果により、本発明の接続部材は、低インダクタンスのバイパスコンデンサとして機能させることができ、スイッチングノイズの低減に非常に有効である。

【0054】LSIをハンダボールを介して直接半導体パッケージに接続する場合と比べて、本発明の接続部材を使用して接続することにより、ハンダボール1個分の高さプラスチック基体の厚みに相当する高さなどが加わる。また、プラスチック基体は適度の柔軟性を持つので、変形して応力をいくらか吸収できる。この接続空間の増大と基体の柔軟性のために、実装時にリフローによ

り生じる熱応力が緩和され、接続部のハンダやLSIと基板の電極パッドに加わる応力が低下するため、接続信頼性が向上する。

【0055】ビルドアップ基板と呼ばれるパッケージ用の多層プラスチック基板は、配線と絶縁層の形成を繰り返して完成させるが、この基板にコンデンサを内層化して半導体パッケージを製造しようとする、通常のプロセスにコンデンサ形成のプロセスが加わるため、全体の歩留まりを落とす原因となる。また、半導体パッケージは、プリント基板へのPGA実装のためにかなり大きくする必要があるので、LSIと比べるとかなり大きくなる。従って、コンデンサを内層化した場合には、LSIとの接続部の近傍以外、即ち、パッケージ外周部のコンデンサは、インダクタンスが大きくなるので高周波では効果がなく、LSI直下のほとんどチップと同じ面積の内層コンデンサのみが有効となる。プロセス上、コンデンサの誘電体層を形成する場合には、薄膜形成装置の内部に半導体パッケージの全体を入れる必要があるが、面積比率ではコンデンサ形成の必要ない部分がほとんどを占めるため、誘電体層形成における製造効率が悪くなる。

【0056】本発明の接続部材に設けた薄膜コンデンサでは、接続部材の大きさはLSIとほぼ同じ大きさでよい。この薄膜コンデンサ付き接続部材は、多数の接続部材を連結した形で一度に製造し、最終的にチップとほぼ同じ面積に切りわけて使うことができる。その場合でも、ほとんどの面積をコンデンサとして活用できるので、コストの上昇を抑制することができる。また、半導体パッケージに内層化するのではなく、独立した接続部材として製造することにより、パッケージの製造工程を変更する必要がなく、歩留まりの低下がない。この薄膜コンデンサ付き接続部材の接続部をハンダボールとすると、通常のリフロー法で実装できることから、実装のための新しい技術開発や設備を必要とせず、LSIのパッケージング全体のコスト増大を招かない。

【0057】本発明の接続部材の薄膜コンデンサを、図1に示したのとは逆に、プラスチック基体の、LSIが実装される側とは反対側の面（即ち、実装基板に接続される側の面または第2の面12b）だけに（即ち、プラスチック基体と実装基板の間に）形成すると、仮にコンデンサ材料から $\alpha$ 線が発生することがあっても、 $\alpha$ 線がプラスチック基体に吸収されるため、LSIに到達することがなく、 $\alpha$ 線による誤動作も防ぐことができる点で望ましい。また、基体の両面に薄膜コンデンサを設けることも可能である。

【0058】このように、本発明の薄膜コンデンサ付き接続部材は、従来から問題とされてきたスイッチングノイズの抑制に有効で、高周波数に対応可能であり、かつLSIに内層化しないため、LSIのパッケージングまで考えると、他の構造より低コストで目的を達成するこ

とができる。

【0059】本発明の接続部材では、図1に示すように、基体(12)のLSIと接続される側の片面だけに、誘電体層(44)と上下電極(42)からなる薄膜コンデンサを設けることが好ましい。

【0060】その場合、図1に示した接続部材では、薄膜コンデンサを設けない基体の裏面側の基板(30)への実装用ハンダボール(32)も、LSIのフリップチップ接続用のハンダボール(22)と同じピッチ、従って、非常に微細なピッチで形成することになる。

【0061】本発明の接続部材の別の構造では、図3および図4(d)に示すように、接続部材のLSI側のハンダボール(22)の配置は図1と同じであるが、接続部材の裏面側では、隣接する2個ずつの組の同電位の導電部材間を電気的に接続する接続用電極(46)が形成される。具体的には、例えば、図3において、LSI側のハンダボールが左側から電源/電源/グランド/グランドの順であるとする。その場合、裏面側では、電源ライン同士またはグランドライン同士の2つの導電部材を接続用電極で接続する。

【0062】このような構造の接続部材の場合、裏面側の各接続用電極(46)にそれぞれ1個ずつの実装用ハンダボール(32)を接続すればよい。その場合の電極と実装用ハンダボールの配置例を図4(d)に示す。接続用電極(46)は、隣接した同一属性（電源ラインまたはグランドライン）の導電部材同士を2個接続するパターンで形成され、この接続用電極の中央に実装用ハンダボール32（点線円）を配置することにより、実装用ハンダボールの数が半分ですみ、そのピッチは2倍の大きさになる。

【0063】つまり、接続部材を貫通する導電部材（ビア）のピッチはフリップチップのハンダボールのピッチに等しいが、その基体裏面に形成された実装用ハンダボールのピッチは2倍に広がる。こうして、フリップチップ用ハンダボールの狭いピッチを避けて、微細配線を必要とせずにLSIをパッケージ化することが可能となり、パッケージの製造コストが低減する。このように裏面側のハンダボールのピッチを大きくしても、薄膜コンデンサによるスイッチングノイズの低減効果に悪影響を及ぼすことはない。

【0064】この裏面構造における構造ハンダボールの位置は、図4(d)に示すように、接続用電極の中央とすることが、ピッチが一定になる点で好ましいが、これに特に制限されるものではない。図4(a)～(c)は、図2(a)～(c)に同じであり、これについての説明は割愛する。

【0065】また、図示例では、本発明の接続部材の裏面側の実装用ハンダボール数を半分にまびく例を示したが、これに限るものではない。フリップチップの電極の配列によっては、3個以上の同電位の導電部材同士を裏面側で接続用電極により接続して、裏面側の実装ハンダ



ボール数をさらに極端にまびいて、そのピッチをさらに広げること可能である。

【0066】本発明の接続部材のさらに別の構造では、プラスチック基体の少なくとも片面、好ましくはLSIに接続される側の片面、に形成された薄膜コンデンサを構成する誘電体層が、図1、3に示すように平坦ではなく、例えば、図9(5)に示すように、凹凸を繰り返す断面形状を有している。

【0067】薄膜コンデンサの容量(C)は次のように表される：

$$C = \epsilon_0 \times \epsilon_r \times S / d$$

$\epsilon_0$ ：真空中の誘電率

$\epsilon_r$ ：誘電体の比誘電率

S：コンデンサの電極面積

d：誘電体の厚み

即ち、薄膜コンデンサの容量は、誘電体層を構成する材料の(比)誘電率と誘電体層の面積に比例し、誘電体層の厚みに反比例する。

【0068】薄膜コンデンサの誘電体層が平坦であると、コンデンサの実効面積Sは実質的に基体と同じ大きさに制限されることになる。従って、必要な容量を確保するために、①高誘電率の材料を使用するか、および／または②誘電体層の厚みdを小さくしなければならなくなることがある。その結果、①を満たすために、必ずしも成膜性の良好な材料を使用することができず、材料の選択の幅が狭まる。一方、②を満たすために誘電体層を薄くすると、リーク電流が多くなり、薄膜コンデンサの耐電圧性や信頼性が低下するので、誘電体層の厚みを非常に小さくすることはできない。従って、誘電体層の面積が制限されていると、必要な容量を確保するための誘電体材料の選択と厚みの設計が難しくなる。

【0069】しかし、誘電体層を凹凸を繰り返す断面形状を持つように形成することにより、コンデンサの実効面積を広くすることができ、それにより、成膜しやすい低誘電率の材料( $\text{Ta}_2\text{O}_5$ など)から誘電体層を形成した場合、および／またはリーク電流を低く抑えることができる範囲の厚みとした場合でも、誘電損失や絶縁性に優れた、信頼性の高いコンデンサを得ることができ、材料の選択と厚みの設計が容易になる。また、同じ容量の薄膜コンデンサの場合、誘電体層が平坦な場合に比べて、基体面積を小さくして、接続部材を小型化することが可能となる。

【0070】この誘電体層の断面の凹凸形状は、角のある凹凸、例えば矩形凹凸でもよいが、好ましくは角のない曲線で形成された、正弦波状の凹凸である。誘電体層に角がある方が面積の増大により高容量化には有利であるが、角に電界や応力が集中し、絶縁破壊を起こし易くなるため、コンデンサの信頼性が低下する。また、誘電体層は厚みが均一であることが、容量の安定性、ひいてはノイズ吸収性能の点で好ましい。

【0071】誘電体層が様な厚みの凹凸断面形状を有するようにするには、その下地であるプラスチック基体または下部電極にエッチング、レーザ加工等を施して、その表面に微細な凹部を形成することで、断面形状に凹凸を付与し、その上に誘電体層と上部電極とを成膜およびパターンニングにより形成すればよい。この場合、一般に形成された凹凸は矩形断面となるが、湿式(ウェット)エッチングを利用した場合には、エッチング液がレジストの下側に回り込むため、角が小さいか、角のない正弦波状の凹凸を持つ断面形状を形成することができる。

【0072】プラスチック基体の表面に凹凸を付与した場合には、その凹凸が矩形断面を有していても、その後でプラスチック基体の表面凹凸の凹部を局部的に加熱すると、加熱した部分のプラスチックの収縮により矩形凹凸の角が丸くなり、正弦波状の凹凸を形成することができる。或いは、プラスチック基体の表面に熱硬化性樹脂を吹き付けて島状に分布させた後、熱硬化させることで、基体表面に正弦波状の凹凸を形成することができる。これらの凹凸の形成方法については、実施例でより具体的に説明する。

【0073】

【実施例】(実施例1)本発明の薄膜コンデンサ付き接続部材の製造を図5を参照しながら例示する。以下の説明におけるカッコ内の番号は、図5の番号と対応している。但し、本発明の薄膜コンデンサ付き接続部材の製造方法は、以下に説明する方法に限られるものではなく、他の多くの方法が可能である。

【0074】(1) まず、支持基板とメッキ用電極として機能するカーボン板の上に、感光性のポリイミド樹脂液をスピンコーターを用いて厚さ80 $\mu\text{m}$ に塗布し、乾燥した。塗布方法は、ロールコーター等の別の方法を用いてもよい。この未硬化の感光性フィルムに、フォトリソグラフィ技術を用いて、ビア間距離が200 $\mu\text{m}$ となる間隔で直径80 $\mu\text{m}$ の貫通穴(ビアホール)をあけた。その後、加熱してポリイミド樹脂を硬化させ、貫通穴を有するポリイミド基体をカーボン板上に形成した。

【0075】ポリイミド基体の形成は、塗布ではなく、未硬化もしくは硬化したポリイミドのドライフィルムをカーボン板に張り付ける方法でもよい。貫通穴の形成は、レーザーまたは機械的なパンチ等による穴あけによって行うことができる。また、非感光性のポリイミド基体に対して、パターン化したレジストを使用してドライエッチングすることにより、貫通穴を形成することも可能である。プラスチック基体は、ポリイミド以外の樹脂から作製することもできるが、耐熱性と絶縁性に優れた材料が好ましい。

【0076】(2) 次に、カーボン板を電極として電気銅メッキを行った。それにより、ポリイミド基体の貫通穴に銅が析出し、この穴が銅で完全に埋まって、導電部

材、即ち、ビアが形成された。こうして、複数の導電部材がプラスチック基体の第1の面から第2の面に貫通したポリイミド基板が得られた。

【0077】(3) ビアが形成されたポリイミド基体の表面に、銅ターゲットを用いたスパッタリングにより、下部電極となる銅の薄膜を1  $\mu\text{m}$ 厚みに形成した。銅の成膜は、他の気相法または湿式法（無電解めっき+電解めっき）でも可能である。

【0078】(4) この銅の薄膜をフォトリソグラフィ法によりパターンニングした。即ち、まず銅薄膜の上にドライフィルムレジストを被覆し、パターン形成用露光と現像を行った後、湿式エッチングまたはスパッタリングによる乾式エッチングによって銅薄膜の不要部分を除去し、最後にドライフィルムを剥離して、図2(a)に示すような所望パターンを持つ下部電極を形成した。

【0079】(5) 次に、タンタル(Ta)金属をターゲットとした酸素とアルゴンの混合ガスによる反応性スパッタリングを行い、酸化タンタル( $\text{Ta}_2\text{O}_5$ )の誘電体層を成膜した。この際の基板温度は、ポリイミドの耐熱性を考慮して300  $^{\circ}\text{C}$ 以下とすることが望ましい。酸化タンタルの膜厚は50 nm、誘電率は25であった。

【0080】同様の方法で、ターゲットにチタン(Ti)、ニオブ(Nb)またはハフニウム(Hf)を用いて反応性スパッタリングを施すと、酸化チタン、酸化ニオブまたは酸化ハフニウムの誘電体層を得ることができる。

【0081】この誘電体層の成膜には、ゾルゲル法、レーザーアブレーション法、蒸着法、MOCVD法等の他の手法を用いることもできる。

(6) この誘電体層をフォトリソグラフィ法によりパターンニングした。即ち、まず誘電体層の上にドライフィルムレジストを被覆し、パターン形成用露光と現像によりレジストパターンを形成した後、フッ酸による湿式エッチングまたは乾式スパッタエッチングによって酸化タンタルの不要部分を除去し、図2(b)に示すような所望パターンを持つ誘電体層を形成した。

【0082】なお、上記の工程(5)および(6)は、リフトオフ法により実施してもよい。その場合には、工程(5)と(6)が部分的に逆転する。即ち、誘電体層の成膜前に、上記(6)に述べたようにしてレジストパターンを形成する。その後、(5)の誘電体層の成膜を、100  $^{\circ}\text{C}$ 前後あるいはそれ以下の低温で行った後、レジストを有機溶媒などで溶解して除去する。その際にレジスト上の誘電体層も同時に除去され、誘電体層がパターン化される。リフトオフ法では、通常のフォトリソグラフィ法とは異なり、下にレジストパターンが存在する部分の材料が除去されることでパターンニングが起こる。最後に300  $^{\circ}\text{C}$ 以下で熱処理を行って、誘電体層の特性を向上させる。

【0083】(7) その後、薄膜コンデンサの上部電極を形成するために、下部電極と同様にして、銅スパッタリ

ングにより銅の薄膜を1  $\mu\text{m}$ 厚みに形成した。

(8) この上部電極用の銅薄膜については、(4)と同様にフォトリソグラフィとエッチングとで銅薄膜の不要部分を除去し、図2(c)に示すような所望パターンを持つ上部電極を形成した。

【0084】こうして、本発明に係る、プラスチック基体（ポリイミド基体）の片面に、上下電極と誘電体層とからなる薄膜コンデンサを備えた接続部材が、カーボン板の上に製造された。

10 【0085】本実施例では、この接続部材の両面に、各導電部材と電氣的に接続したハンダボールを形成する。そのために、次の(9)および(10)の工程をさらにに行った。

(9) まず、接続部材の薄膜コンデンサを形成した側の表面に、耐湿性の良好なソルダーレジストである感光性ポリイミド樹脂液をスクリーン印刷により塗布し、フォトリソグラフィ技術を利用して導電部材の直上の電極が露出するようにパターン化して、耐湿性向上も兼ねたソルダーレジスト膜を形成した

20 (10) 次に、ソルダーレジストが除去されて電極が露出している部分に、フリップチップ接続用のハンダボールを形成するため、ハンダペーストのスクリーン印刷により、直径約120  $\mu\text{m}$ の円形にハンダペーストを付着させた。ハンダペーストが乾燥した後、ポリイミド基体をカーボン板から剥離し、ポリイミド基体の反対側の面（裏面）に露出している導電部材の上にも、実装用ハンダボールを形成するため、同様にハンダペーストをスクリーン印刷し、乾燥した。

【0086】その後、接続部材をカーボン治具により水平に保持した状態でリフロー炉を通過させ、ハンダペーストを熔融してボール状に変形させて、接続部材の両面にハンダボールを形成した。このハンダボールの形成後も、ソルダーレジスト膜は耐湿保護膜として機能させるために残した。こうして、両面にフリップチップ用または実装用のハンダボールを備えた薄膜コンデンサ付き接続部材が得られた。

【0087】以上のようにして、LSIよりわずかに大きい寸法の接続部材が縦横に多数つながった状態で薄膜コンデンサ付き接続部材を形成し、一つ一つの接続部材に切り離した。

40 【0088】この接続部材を、薄膜コンデンサを形成しなかった側の面を下にして、パッド電極上にハンダペーストを印刷したフリップチップ接続用プラスチックPGAの実装用パッドの上に、フリップチップボンダー装置を用いて位置合わせし、フラックスを用いて仮付けした後、リフロー炉を通過させることで、半導体パッケージに接続した。その後、接続部材と半導体パッケージの間の空間にアンダーフィル樹脂を流し込み、完全に固定した。

50 【0089】次に、接続部材の上面のハンダボールと予

めLSIに形成したハンダボールの位置を、フリップチップボンダーを用いて位置合わせし、同様に仮付けとリフロー炉での接続を行った。その後、チップと接続部材の間の空間にアンダーフィル樹脂を流し込み、樹脂を加熱硬化させて、実装が完了した。

【0090】この実装方法によって、インダクタンス測定用のパターンを形成したダミーチップを用いて実装した結果、容量100 nF、インダクタンス1 pHのコンデンサが形成でき、1 GHz を越えるレベルの高周波数化に十分に対応可能な低インダクタンスで、高容量のコンデンサとなった。

【0091】(実施例2)本実施例は、図3および図4(d)に示すように、接続部材のLSIと接続される側の片面に薄膜コンデンサを設け、反対側の裏面では、同電位(同一属性)の隣接電極を2個ずつ接続用電極で電気的に接続して、裏面側の電極数と実装用ハンダボール数を半分にへらした場合に、ハンダボールのピッチが2倍に拡大してもノイズ低減効果が劣化しないことを例証する。

【0092】図6に、本発明の薄膜コンデンサ付き接続部材を使用してLSIをパッケージにフリップチップ実装した場合の電源ラインの等価回路を示す。Cは薄膜コンデンサ容量、L3は薄膜コンデンサの内部インダクタンスを示す。L1、L2は、LSI-薄膜コンデンサ間のインダクタンスを示す。図3に示すハンダボール22の\*

[表1]

	L1	L2	L3	L4	L5	L6	L7	C
実施例1	10pH	10pH	5pH	10pH	10pH	50pH	50pH	1μF
実施例2	10pH	10pH	5pH	20pH	20pH	50pH	50pH	1μF

このシミュレーションの解析結果を図7に示す。図中、×印が実施例1、▽印が、実施例2のインピーダンスを示す。

【0097】この図から分かるように、100 MHz 近傍でインピーダンスが低減している。これは100 MHz 近傍のスイッチングノイズが低減するように、容量値とインダクタンス値を設計したためである。×印の実施例1の曲線と▽印の実施例2の曲線は、100 MHz 以下ではわずかな差があるものの、100 MHz 以上では完全に一致している。すなわち100 MHz 以上のスイッチングノイズ除去効果は同一であることを示しており、いずれの電源ラインもおおむね同程度のノイズ除去効果があるものと言える。即ち、裏面側のパッケージ実装用ハンダボールの数を間引いても、スイッチングノイズの除去効果への影響はほとんどない。

【0098】適切な電極の間引き程度を推定することは難しいが、おおむね1/2から1/5程度が妥当であろう。あまり間引きすぎると、並列数が少なくなることによって配線抵抗が増大するため、高周波ノイズであるスイッチングノイズではなく、直流電圧降下が生じてしまうからである。一方、コストダウンの観点からは、上述

\*インダクタンスがこれに相当する。

【0093】L4、L5は薄膜コンデンサパッケージ(基板)間のインダクタンスを示す。図1における接続部材を貫通する導電部材14、基体裏面の接続用電極46とハンダボール32がこれに相当する。

【0094】L6、L7はパッケージのインダクタンスを示す。図6では、パッケージに電源が接続されていることを示している。本実施例(実施例2)では、図3および4(d)に示すように、基体裏面のハンダボール32の数を半分に低減させ、そのピッチを2倍に広げたため、L4とL5だけが、実施例1で作製した、図1および2(d)に示す裏面電極の配置(以下、実施例1)に比べて2倍に増大する。

【0095】動作周波数が100 MHz 程度のLSIを考え、表1のように各パラメーターを仮定し、シミュレーションによってスイッチングノイズがどの程度変化するかを調査した。ここでは、スイッチングノイズに比例する、LSI側から見た電源ラインの出力インピーダンスを解析した。スイッチングノイズには様々な周波数成分が含まれているが、ノイズの支配的な成分は動作周波数の成分およびその高調波であり、この例で言えば100 MHz およびそれ以上の周波数の出力インピーダンスが小さいことがノイズ低減に必要となる。

【0096】

したように、現状レベル(100 ミクロンピッチ)では、半分に間引くだけで、従来から使用されている安価なパッケージが使用でき、効果十分である。しかし、今後はさらに電極ピッチが小さくなっていくので、その場合には半分以上に間引くことが望ましいであろう。

【0099】以上からわかるように、本実施例の接続部材は、実施例1の接続部材と実質的に同一の効果がありながら、パッケージの低コスト化に寄与することは明らかである。

【0100】(実施例3)本例では、薄膜コンデンサを構成する誘電体層が凹凸を繰り返す断面形状を有することを除いて、実施例1と同様の構造を持つ、本発明に係る薄膜コンデンサ付き接続部材の製造を例示する。

【0101】実施例1の工程(4)までは実施例1と同様にして、支持基板のカーボン板上にポリイミド基体とその貫通穴の形成[工程(1)]、電気Cuめっきによる貫通穴の充填(導電部材の形成)[工程(2)]、スパッタリングによるCu薄膜の成膜[工程(3)]、およびフォトリソグラフィ法を利用したCu薄膜のパターニングによる下部Cu電極の形成[工程(4)]を行った。

【0102】次に、図8に示す工程順で、この下部Cu電

極の表面をフォトリソグラフィ法により凹凸に加工した。具体的には、フォトリソグラフィを利用して感光性レジストフィルムに、 $1\mu\text{m}$ 角の正方形が $1\mu\text{m}$ 間隔で縦横に配列したマトリックス状ドットパターンを形成し〔図8(1)〕、このレジストフィルムを用いてCu電極をドライエッチング(スパッタエッチング)することにより、約 $1\mu\text{m}$ 厚の銅の表面をほぼ $0.5\mu\text{m}$ の深さだけエッチングした〔図8(2)〕。その後、レジストを除去すると、Cu電極の表面には縦横 $1\mu\text{m}$ 、深さ $0.5\mu\text{m}$ の凹部が $1\mu\text{m}$ 間隔で縦横に並んでなる表面凹凸ができあがった。従って、Cu電極は、この凹部を通る断面では、矩形凹凸が繰り返される断面形状を有していた〔図8(3)〕。この凹凸加工により、Cu電極の表面積は50%増しになった。

【0103】次に、実施例1の工程(5)(反応性スパッタリングに誘電体薄膜の成膜)および工程(6)(誘電体薄膜のパターニング)に従って、下部Cu電極の上に酸化タンタルからなる誘電体層を形成し〔図8(4)〕、さらに実施例1の工程(7)(上部電極用のCu薄膜の成膜)および工程(8)(Cu薄膜のパターニング)に従って上部Cu電極を形成すると〔図8(5)〕、誘電体層が均一な厚みを持ち、かつ矩形凹凸を繰り返すパターンを持つ薄膜コンデンサをポリイミド基体上に有する接続部材が作製された。この薄膜コンデンサは、誘電体層を平板状に形成した場合に比べて、誘電体層の面積が50%増しになっており、前掲の容量(C)の関係式からわかるように、誘電体層の材料と厚みが同じであれば、誘電体層が平板状である薄膜コンデンサに比べて容量が50%増大する。

【0104】こうして誘電体層が矩形凹凸の続いた断面形状を有する薄膜コンデンサをポリイミド基体上に形成した後、実施例1の工程(9)および(10)に従って、耐湿性ハンダレジスト層の形成、カーボン板の除去および両面のハンダボールの形成を行い、ハンダボール付きの本発明の接続部材を完成させた。

【0105】この誘電体層が矩形凹凸状の断面形状を有する薄膜コンデンサ付きの接続部材を用いて、実施例1に記載したのと同様にして、プラスチックPGAおよびインダクタンス測定用のダミーチップに実装し、インダクタンスを測定した。その結果、電極の投影面積が $1\text{cm}^2$ の場合で、容量 $0.6\mu\text{F}$ 、インダクタンス $1\text{pH}$ のコンデンサが形成でき、十分に低インダクタンスで高容量の薄膜コンデンサとなった。

【0106】一方、実施例1の誘電体層が平板状の薄膜コンデンサでは、同様の電極投影面積で容量は $0.4\mu\text{F}$ であり、薄膜コンデンサの誘電体層に凹凸を付与してその面積を拡大することにより、容量が飛躍的に向上することが実証された。

【0107】(実施例4)実施例3と同様にして、薄膜コンデンサの誘電体層が凹凸を繰り返す断面形状を有する、薄膜コンデンサ付き接続部材を作製した。但し、本

例においては、下部Cu電極に凹凸を付与するためのエッチングを、実施例3のドライエッチングから、エッチング液を用いる湿式(ウェット)エッチングに変更することにより、実施例3のような矩形凹凸ではなく、角のない正弦波状の凹凸を有する断面形状を付与した。

【0108】この場合の工程順(下部電極の凹凸加工から上部電極形成まで)を、図9に示す。図9に示した以外の工程は、実施例3と同様であった。図9に示す方法において、使用する感光性レジストフィルムには、図8に示したのと全く同様に、 $1\mu\text{m}$ 角のマトリックス状ドットパターンを形成した〔図9(1)〕。このレジストフィルムを使用して、酸による湿式エッチングを行った〔図9(2)〕。湿式エッチングでは、エッチング液はレジストフィルムの下側にも回り込むため、レジストを除去したCu電極には、レジストの矩形ドットにあたる部分には、より大きな径を持つ浅いボール状の凹部ができあがった〔図9(3)〕。この凹凸の山の部分に角のある突起になっているので、再び湿式エッチングを施して突起を除去した〔図9(4)〕。その結果、表面がやや平滑になり、Cu表面を正弦波に近い断面形状を持つように加工できた。この加工による上部Cu電極の表面積は30%増しになった。

【0109】その後、図8(4)および(5)と同様に、誘電体層の形成〔図9(5)〕と上部Cu電極の形成〔図9(6)〕を行った。こうして、誘電体層が、ほぼ一定の厚みを持ち、かつ角のない正弦波状の凹凸が続く断面形状を有する薄膜コンデンサが形成された。この薄膜コンデンサの誘電体層の面積は、平板状誘電体層の場合の30%増しである。この正弦波状の凹凸付与による面積増加率は、図8に示した矩形凹凸の断面形状の場合の面積増加率(50%)より小さいが、誘電体層が角を持たないため、角への電界集中や応力集中を避けられ、コンデンサの信頼性は高くなる。

【0110】(実施例5)本例では、実施例3および4のように下部Cu電極に凹凸を付与するのではなく、その下地であるプラスチック基体(ポリイミド基体)に凹凸を付与することにより、誘電体層も含めて薄膜コンデンサ全体が凹凸断面形状を有する、本発明に係る薄膜コンデンサ付きの接続部材を作製する方法を例示する。

【0111】この接続部材は、最初に基体表面に凹凸を付与する加工を施すことを除いて、実施例1に説明した方法と基本的に同じである。即ち、実施例1で採用した図5に示す工程順において、工程(1)のポリイミド基体の形成において、ポリイミドフィルムに貫通穴を形成する前か後、または場合によっては貫通穴の形成と同時に、基体表面に凹凸を付与する加工を施す。その後は、工程(2)～(10)に従って、下部電極、誘電体層、上部電極を形成して薄膜コンデンサを作製し、さらにソルダーレジストや両面のハンダボール形成を行うことにより、ハンダボールと薄膜コンデンサ付きの接続部材が作製される。基体表面が凹凸を有するため、その上に成膜して

作製された薄膜コンデンサは、基体表面と同じ凹凸断面形状を有することになる。この方法について、図10を参照して説明する。説明しなかった工程は、実施例1と同様でよい。

【0112】例えば、ポリイミドからなる基体を実施例1に記載したように塗工法で形成するか、あるいはドライフィルムとして用意し〔図10(1)〕、このポリイミド基体の表面に、後述するような適当な方法で凹凸を付与する〔図10(2)〕。次に、図10には図示しないビア形成用の貫通穴を実施例1に記載したようにして形成し、さらに電解銅めっき等により貫通穴に銅を充填してビアを形成する。その後、下部電極の成膜とパターニング〔図10(3)〕、誘電体層の成膜とパターニング〔図10(4)〕、および上部電極の成膜とパターニング〔図10(5)〕を順に行い、基体上に薄膜コンデンサを形成する。図10では、基体表面に正弦波的な断面形状の凹凸をつけた例を示したが、矩形断面形状でもよい。

【0113】プラスチック基体表面への凹凸付与方法の具体例について、次に図11~13を参照して説明する。

方法A：図11は、プラスチック基体表面に矩形断面の凹凸を付与する代表的な方法を示す。

【0114】まず、基体上に配置したフォトレジストフィルムにパターンを形成する〔図11(1)〕。このパターンは、図8で示したものと同様の、例えば1 $\mu$ m角の正方形の穴が1 $\mu$ m間隔で縦横に配列した矩形パターンである。フォトレジストのドライフィルムに予めパターンを形成してから、基体に配置してもよい。次に、このレジストパターンをマスクにして、基体をプラズマまたはスパッタによりドライエッチングして、基体表面に凹部を形成する〔図11(2)〕。このドライエッチングは、凹部が基体を貫通することのないように制御する必要がある。例えば、基体厚みの約2~7割程度の深さの凹部を形成する。その後レジストを除去すると、矩形の断面形状の凹凸が基体表面に作製される〔図11(3)〕。

【0115】図11に示す方法では、フォトレジストを用いたドライエッチングにより基体表面に凹凸を形成したが、実施例1のように感光性ポリイミドを基体材料に用いた場合には、フォトレジストを省いて、貫通穴の形成と同様のフォトリソグラフィ工程により基体表面に凹凸をつけることが可能である。この場合、基体を貫通しないように、フォトリソグラフィでの露光強度を調整する。また、プラスチック基体のレーザー加工によって基体表面に凹凸を形成することも可能である。

【0116】方法B：図12に、図11に示すような方法でプラスチック基体の表面に形成された矩形凹凸を、加熱によるプラスチックの収縮を利用して角を丸くし、正弦波状の凹凸に変化させる方法を例示する。

【0117】図12(a)に示すように、矩形の断面形状を有する表面凹凸を有するプラスチック基体の凹部（領域A）だけを局所的に加熱する。それにより、加熱された

箇所のプラスチックは熱収縮し、矩形凹凸の角が引っ張られて丸くなり、正弦波状の凹凸に変化する。

【0118】プラスチック基体の表面の凹部だけを局所的に加熱する方法の例としては、図12(b)に示すように、走査レーザー光を用いる方法、図12(c)に示すように、抵抗発熱体を基体凹部と同じパターンで配列した加熱体を用いる方法がある。

【0119】なお、図12(b)に示すレーザー加熱法は、レーザー光のエネルギーを、ポリイミド基体の蒸発に十分な高さに設定すると、前述したように基体表面に凹部を形成するのに利用することもできる。レーザー光による凹部形成は、基体が感光性・非感光性のいずれの場合にも適用でき、また面倒なレジストの配置と除去が不要であるので、操作性に優れている。

【0120】方法C：図13に、加熱によるプラスチックの収縮を利用せずに、プラスチック基体に直接、正弦波状の断面形状を有する表面凹凸を付与する方法を示す。

【0121】まず、平滑なプラスチック基体の表面に、基体と同じかあるいは異なる材質の熱硬化性樹脂をスプレーにより吹き付ける。この吹き付け量とスプレーの液滴の大きさを調整し、一様な膜を作らず、かつ、島状の樹脂が残るようにする。スプレーの方式は例えばインクジェット方式を用いても良い。この島状の樹脂を熱硬化させると、前述の熱収縮による方法に比べて波長は不規則であるが、正弦波状の丸みを帯びた表面凹凸が基体表面に形成される。表面凹凸の目的は表面積を増大させることであるので、その凹凸の波長が一定である必要性はない。

【0122】なお、実施例3~5に示した薄膜コンデンサ付き接続部材において、基体裏面側に実施例2に例示した接続用電極を形成し、裏面側のハンダボール数をまびいてもよい。

【0123】（実施例6）本例では、誘電体材料としてチタン酸バリウムを用いた薄膜コンデンサ付き接続部材を例示する。接続部材の作製手順は、実施例1（誘電体層が平板）または実施例3（誘電体層の断面形状が矩形凹凸状）に示すものと同様であるが、実施例1または図5の工程(5)の誘電体層の成膜は、以下のように実施した。

【0124】誘電体層の成膜は、チタン酸バリウムをターゲットとした酸素とアルゴンの混合ガスを用いたRF励起スパッタリングにより行い、チタン酸バリウム膜を形成した。この際の基板温度は、ポリイミドの耐熱性を考慮して300℃以下とすることが望ましい。スパッタリングの条件は、例えば、RFパワー1000W、アルゴン・ガス流量100 sccm、酸素ガス流量30 sccmである。

【0125】形成されたチタン酸バリウム薄膜の誘電率は1000、膜厚は100 nmであった。コンデンサ投影面積が1 cm<sup>2</sup>の場合、この薄膜コンデンサの容量は、誘電体層が平板な場合は8.8  $\mu$ Fであったが、矩形凹凸の断面形

状を有する場合は $13\mu\text{F}$ であった。

【0126】同様の方法で、ターゲットにチタン酸ストロンチウム、またはチタン酸バリウムとチタン酸ストロンチウムの混合材料を用いると、チタン酸ストロンチウムの誘電体層、またはチタン酸バリウムとチタン酸ストロンチウムの混合材料の誘電体層を得ることができる。

【0127】

【発明の効果】本発明の接続部材を、LSIとフリップチップ実装用のプラスチック基板との間に挿入してLSIを基板に実装すると、1GHzを越えるLSIの高周波数化に十分対応可能な低インダクタンスで高容量のコンデンサがLSI近傍に挿入されるため、LSIのスイッチングノイズを抑制することができ、このノイズによる誤動作を防ぐのに有効である。

【0128】本発明によれば、低インダクタンスで高容量のコンデンサをLSIに内層化せずに挿入できるので、LSIの製造工程の変更が不要であり、低コストでLSIのスイッチングノイズを低減させることができる。

【0129】また、この接続部材の基体の実装基板の材質と同じプラスチックであり、基板との熱膨張係数の差が小さいこと、プラスチック基体は柔軟であること、接続部材の挿入によりLSIと基板間の空間に余裕ができること等により、本発明の接続部材でLSIとプラスチック基板をフリップチップ接続すると、リフロー時に接続部に加わる熱応力が小さくなるので、接続の信頼性が向上する。

【0130】さらに、薄膜コンデンサの誘電体層が小面積に分割されているので、成膜時の膜の残留応力や実装時の熱応力が減少し、膜の割れを防止できることから、コンデンサの信頼性が高まる。また、薄膜コンデンサを基体の実装基板側だけに形成すると、誘電体層から $\alpha$ 線が発生してもプラスチック基体で吸収されるので、 $\alpha$ 線による誤動作を防ぐことができる。

【0131】本発明の接続部材の別の構造において、薄膜コンデンサを基体片面に形成し、基体の裏面側に2以上のビアをつなぐ接続用電極を形成して、装着するハンダボールをまびくと、上記の優れた薄膜コンデンサの機能を実質的に保持しながら、製造コストを下げるができる。

【0132】また、薄膜コンデンサの誘電体層に凹凸断面形状を付与すると、その面積が増大し、高容量化することができるので、必要な容量を持ち、リーク電流が小さい薄膜コンデンサの設計や材料の選択が容易となる。

【図面の簡単な説明】

【図1】実装基板とLSIの間に挿入された本発明の接続部材を模式的に示す説明図である。

【図2】図2(a)～(c)は、図1に示した接続部材に用いる薄膜コンデンサを構成する下部電極、誘電体層および上部電極のそれぞれのパターンを例示し、図2(d)は本発明の接続部材の薄膜コンデンサが形成されない側(裏面側)の基体表面の電極パターンを示す。

【図3】実装基板とLSIの間に挿入された、図1とは別の構造の本発明の接続部材を模式的に示す説明図である。

【図4】図4(a)～(c)は、図3に示した接続部材に用いる薄膜コンデンサを構成する下部電極、誘電体層および上部電極のそれぞれのパターンを例示し、図4(d)は本発明の接続部材の薄膜コンデンサが形成されない側(裏面側)の基体表面の電極パターンを示す。

【図5】本発明の接続部材の製造方法を例示する工程図であり、工程順の加工状態を模式的に示す。

【図6】本発明の接続部材を用い、LSIをパッケージにフリップチップ実装した場合の電源ラインの等価回路の模式的説明図である。

【図7】それぞれ図1および図3に示した構造を持つ実施例1および2の接続部材によるインダクタンスと周波数との関係をシミュレーションした解析結果を示すグラフである。

【図8】薄膜コンデンサの誘電体層が凹凸断面形状を持つ構造の本発明の接続部材の製造方法を例示する工程図である。

【図9】薄膜コンデンサの誘電体層が凹凸断面形状を持つ構造の本発明の接続部材の別の製造方法を例示する工程図である。

【図10】薄膜コンデンサの誘電体層が凹凸断面形状を持つ構造の本発明の接続部材のさらに別の製造方法を例示する工程図である。

【図11】本発明の接続部材の基体表面への凹凸付与方法を例示する工程図である。

【図12】本発明の接続部材の基体表面に正弦波状の凹凸を付与する方法の1例を示す説明図である。

【図13】本発明の接続部材の基体表面に正弦波状の凹凸を付与する方法の別の例を示す説明図である。

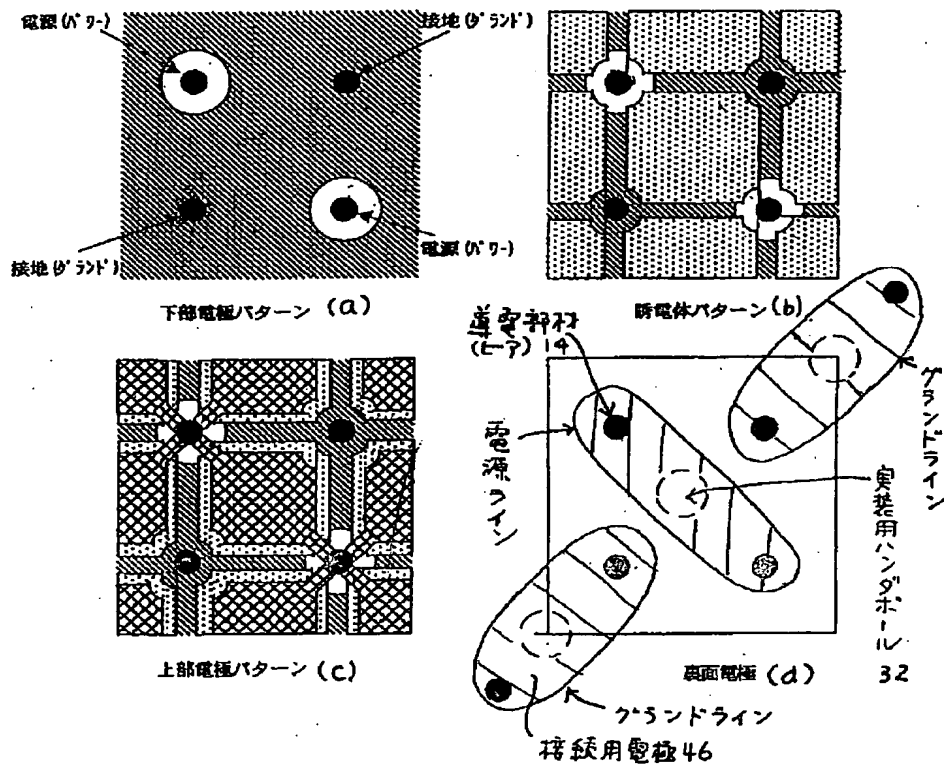
【符号の説明】

10：接続部材、12プラスチック基板、14：導電部材、20：LSI、30：実装基板、22、32：実装用ハンダボール、40：薄膜コンデンサ、42：電極、42a：下部電極、42b：上部電極、44：誘電体層、46：裏面側の接続用電極

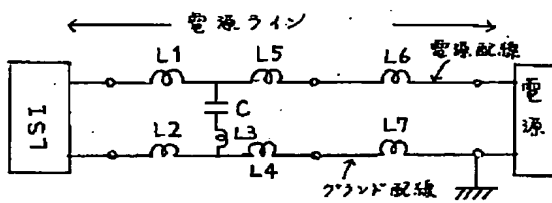
Figure 1 consists of four plan views (a, b, c, d) of a semiconductor device. (a) shows a substrate with four circular electrodes (14b) and a central square region (14a). (b) shows a substrate with four circular electrodes (14b) and a central square region (14a). (c) shows a substrate with four circular electrodes (14b) and a central square region (14a). (d) shows a substrate with four circular electrodes (14b) and a central square region (14a).

[illegible]

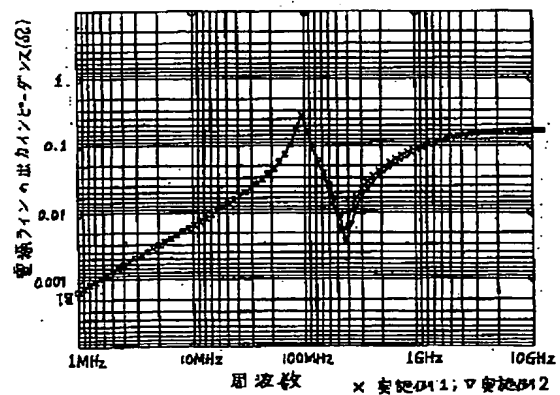
【図4】



【図6】

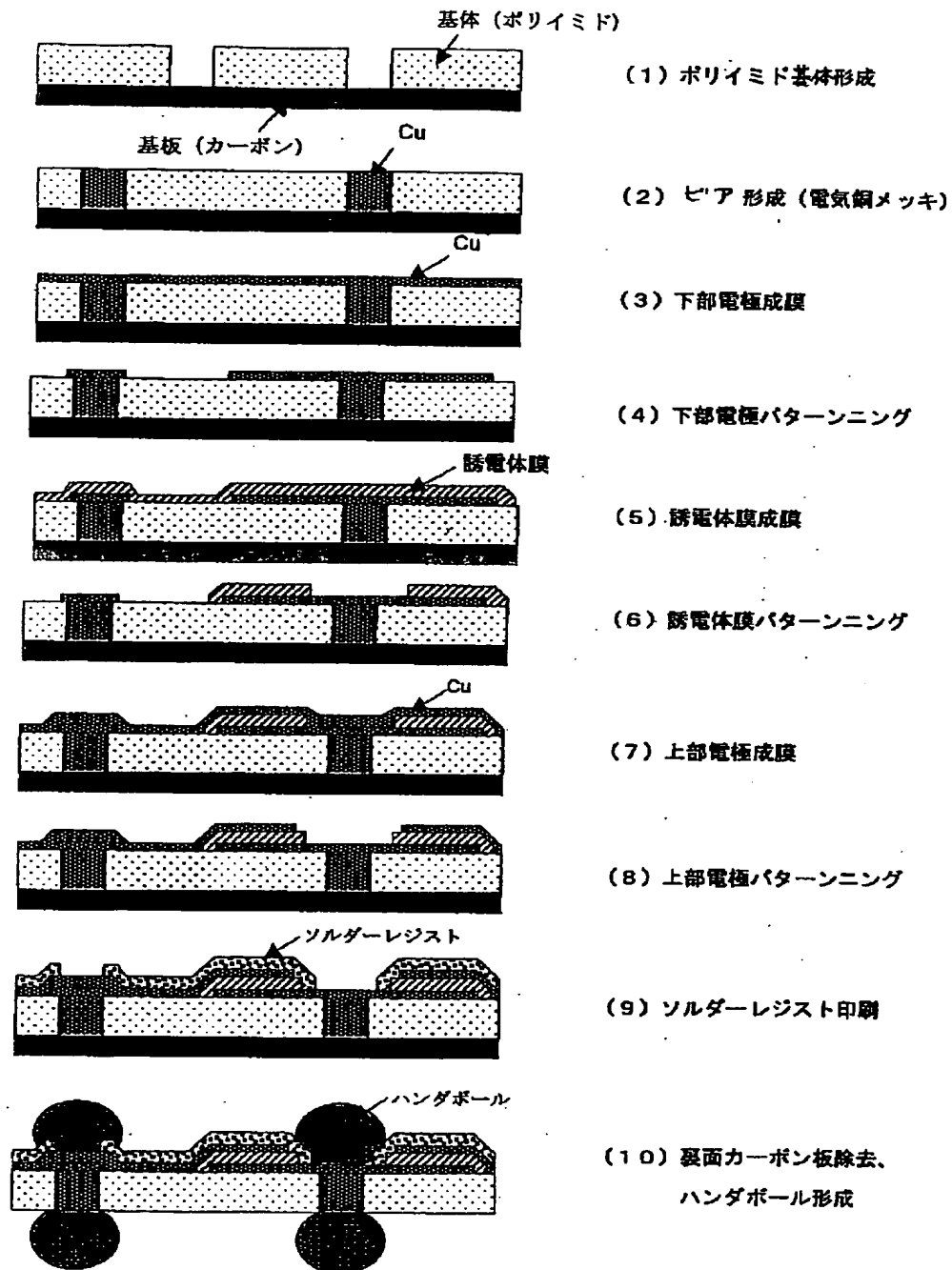


【図7】

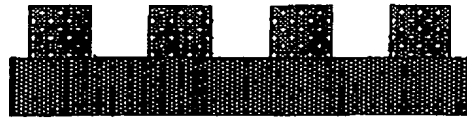




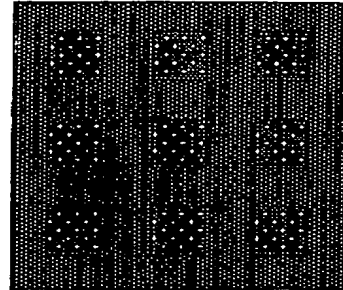
【図5】



【図8】



(断面図)



(上面図)

(1)レジストパターン形成



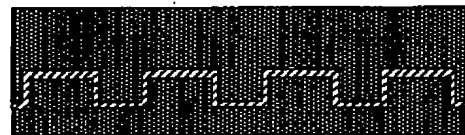
(2)Cu電極ドライエッチン



(3)レジスト除去

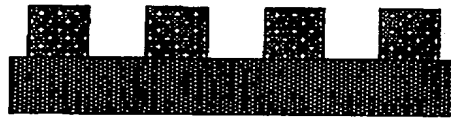


(4)誘電体膜成膜

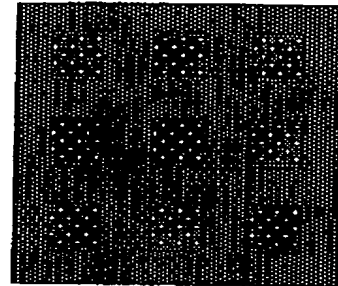


(5)上部Cu電極成膜

【図9】



(断面図)



(上面図)

(1) レジストパターン形成



(2) Cu電極ウェットエッチング



(3) レジスト除去



(4) Cu電極ウェットエッチング

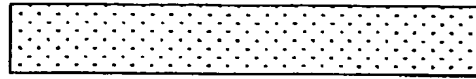


(5) 誘電体膜成膜



(6) 上部Cu電極成膜

【図10】



(1) 基体 (ポリイミド)



(2) 基体表面凹凸化



(3) 下部電極成膜

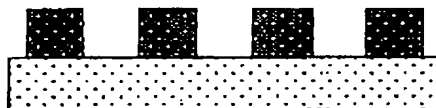


(4) 誘電体膜成膜

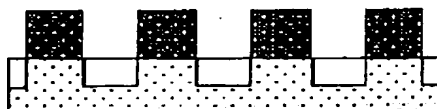


(5) 上部電極成膜

【図11】



(1) レジストパターン形成

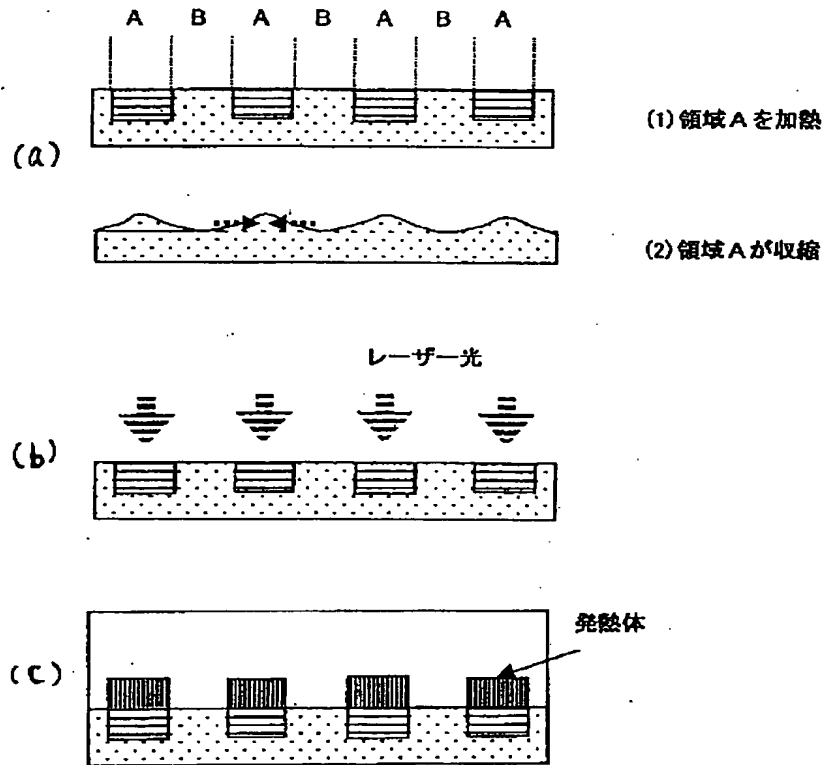


(2) 基体ドライエッチング

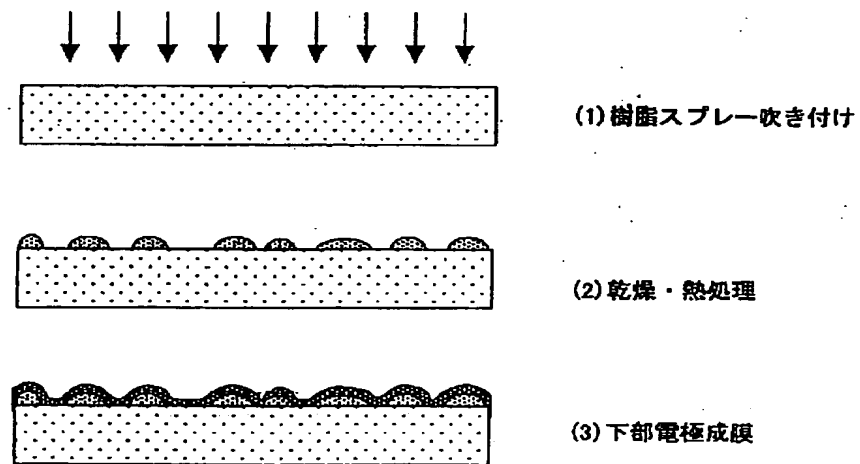


(3) レジスト除去

【図12】



【図13】



フロントページの続き

(51)Int. Cl.<sup>7</sup>  
// H 0 1 L 23/32

識別記号

F I  
H 0 1 L 23/12

テームコード (参考)

B

(72)発明者 橋本 昌也  
兵庫県尼崎市扶桑町1番8号 住友金属工  
業株式会社エレクトロニクス技術研究所内  
(72)発明者 山出 善章  
兵庫県尼崎市扶桑町1番8号 住友金属工  
業株式会社エレクトロニクス技術研究所内

F ターム (参考) 5E024 CA18 CB06  
5E051 CA04 CA10  
5E082 AB03 BB02 BB05 BC14 BC39  
EE05 EE26 EE37 FG03 FG18  
FG26 FG27 FG42 GG01 JJ06  
JJ12 JJ15 JJ21 KK01 MM05  
MM28

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1]A plastic base.

Two or more conductive members penetrated from the 1st field of this base to the 2nd field. Are the above the connecting member with a thin film capacitor which it had, and on at least the 1st field of said base, and one side of the 2nd field. it adjoins of said two or more conductive members -- it was electrically connected between conductive members of a lot at least. A thin film capacitor which does not cover these conductive members is formed, and a dielectric layer which constitutes said thin film capacitor is separated for every unit capacitor formed between conductive members of an adjoining lot.

[Claim 2]A plastic base.

Two or more conductive members penetrated from the 1st field of this base to the 2nd field. Are the above the connecting member with a thin film capacitor which it had, and on the 1st field of said base, and one side of the 2nd field. it adjoins of said two or more conductive members -- it was electrically connected between conductive members of a lot at least. An electrode for connection which electrically connects between conductive members of two or more adjoining same electric potential is formed in a near field in which a thin film capacitor which does not cover these conductive members is formed in, and a thin film capacitor is not formed.

[Claim 3]A plastic base.

Two or more conductive members penetrated from the 1st field of this base to the 2nd field. Are the above the connecting member with a thin film capacitor which it had, and on at least the 1st field of said base, and one side of the 2nd field. A thin film capacitor which does not cover these electrically connected conductive members that are adjoined of said two or more conductive members is formed between conductive members of a lot at least, and it has the sectional shape in which a dielectric layer which constitutes this thin film capacitor repeats unevenness.

[Claim 4]The connecting member with a thin film capacitor according to claim 3 in which a dielectric layer which constitutes said thin film capacitor had almost uniform thickness, and the sectional shape has repeated unevenness of sine wave shape.

[Claim 5]The connecting member with a thin film capacitor according to any one of claims 2 to 4 separated for every unit capacitor formed between conductive members of a lot which a dielectric layer which constitutes said thin film capacitor adjoins.

[Claim 6]The connecting member with a thin film capacitor according to any one of claims 1 to 5, wherein a real wearing solder ball electrically connected with said conductive member is formed in at least the 1st field of said base, and one side of the 2nd field.

[Claim 7]Connection structure using a connecting member with a thin film capacitor, wherein a semiconductor chip, the connecting member with a thin film capacitor according to any one of claims 1 to 6, and a mounting board are electrically connected to this order via solder.

[Claim 8]Connection structure using the connecting member with a thin film capacitor according to claim 7 to which said connecting member has said thin film capacitor only on base one side of a side connected to said semiconductor chip.

[Claim 9]Connection structure using the connecting member with a thin film capacitor according to claim 7 or 8 in which said mounting board is a plastic plate which makes a plastic an insulating material.

[Claim 10]A manufacturing method of a connecting member with a thin film capacitor which is a manufacturing method of the connecting member with a thin film capacitor according to claim 3 or 4, and is characterized by including a process of forming unevenness in the surface of a lower electrode which constitutes said plastic base or said thin film capacitor.

[Claim 11]A manufacturing method of the connecting member with a thin film capacitor according to claim 4 characterized by comprising the following.

A process of forming rectangle unevenness in the surface of said plastic base.

A process of heating a crevice of this base surface locally and making an angle of rectangle unevenness round.

[Claim 12]A manufacturing method of a connecting member with a thin film capacitor which is a manufacturing method of the connecting member with a thin film capacitor according to claim 4, and is characterized by including a process of forming unevenness in a base surface by making it heat-hardening after spraying thermosetting resin on the surface of said plastic base and making it distributed over island shape.

---

[Translation done.]



\* NOTICES \*

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention semiconductor chips, such as IC and LSI (VLSI, ULSI, etc. are included), About the connecting member which can be used for mounting in a semiconductor package, a mother board (these are called a mounting board), etc., Switching noise which happens to LSI with two or more logic circuits which operate simultaneously especially by high frequency easily (simultaneous change noise) It is related with the connecting member provided with the bypass capacitor which can be reduced.

[0002]This invention relates also to the manufacturing method of the connection structure which used this connecting member, and this connection structure again.

[0003]

[Description of the Prior Art]In LSI which operates at high speeds (high frequency) including MPU of a computer. Since the number of the logic circuits which change simultaneously with improvement in the speed is increasing, the switching noise from which switching of one logic circuit which operates simultaneously serves as a noise to other logic circuits has been a problem as a cause of malfunction.

[0004]In order to accelerate operation of LSI more, it is required to control this switching noise, and it has been necessary as a measure for it to make that impedance low about the power supply including a terminal area.

[0005]One technique for that is changing a mounting method so that the inductance component to the power source line between power supply-LSI may become as small as possible. It is specifically changing the flow between LSI and the electrode pad on the package into the flip chip bonding connected with the ball of detailed solder from wire bonding connected with metal wires, such as conventional gold or aluminum. There is a motion changed into BGA (Ball Grid Array) mounted with a metal ball from PGA (PinGrid Array) similarly mounted via a pin about connection between a package and a mother board. It has intention of both change of these connecting means shortening the length of a connecting member, and lessening an inductance component.

[0006]The shape of a lattice (matrix) In the flip chip mounting of LSI which can form many electrodes, since inductance is in inverse proportion to the number of electrodes, the whole inductance becomes small, so that an electrode pitch is small. However, when an electrode pitch is small, fine wiring will be required of the package which carries LSI.

[0007]The electrode pitch of the present and a flip chip is 100. The micron level is reached and it is expected that a pitch will become increasingly small from now on. Electrode pitch 100 In the wiring width and the space by the side of a package, a micron will be 50 microns at a time, The multilayer package of the alumina ceramic currently used from cheap PBGA (Plastic Ball Grid Array) which uses a printed-circuit-board-production process, or the former cannot be used. A cost hike is not avoided although the package which used the build up board in which fine wiring formation is possible in recent years is developed instead.

[0008]Another technique for making impedance of a power source line low is inserting the bypass capacitor which functions as a virtual power supply and which is called a decoupling capacitor between a power source line and a grand (grounding) line.

[0009]In order to enlarge the effect in a low frequency area, the thing of a bypass capacitor of high capacity is desirable, but in order to fully achieve the purpose of switching noise reduction at a high speed (high frequency region), The inductance of the power source line between LSI-capacitors, and inductance which this capacitor itself has (henceforth internal inductance) It is called for that both are small. Since it continues to high-frequency-ize LSI increasingly, inductance of a bypass capacitor including a terminal area is made small, and it becomes very important to enable it to correspond to high frequency.

[0010]The chip capacitor widely used as a bypass capacitor is internal inductance although what has as large capacity as 1 micro F is developed. 500pH and a large thing are necks. In the portion which connects a chip capacitor even if wiring is arranged in parallel and it reduces inductance by flip chip mounting, since external terminals are also two terminals. It is difficult to bundle wiring, and for there to be a problem that inductance will become large in this portion, and to deal with high frequency.

[0011]It seems that it is advantageous to corresponding to high-frequency-ization on the other hand since there will be no such problem if a capacitor is formed in the inside of LSI or a mother board in one not using item parts.

[0012]If this is formed in the inside of the mother board of a computer, using a thin film capacitor as a bypass capacitor for reducing a switching noise, Since a mass capacitor can be inserted, although an effect is demonstrated in a low frequency area, since a capacitor becomes high in response to the influence of an intermediate pin or the inductance component of wiring in inductance, it cannot respond to high-frequency-ization.

[0013]If a thin film capacitor is formed in the inside of LSI, inductance can be made small and it can respond to high-frequency-ization. However, this needs change of an LSI manufacturing process and is accompanied by the fall of the yield. Since it is necessary to enlarge area of a capacitor for enlarging capacity, the size of LSI increases in connection

with it, and the rise of cost is caused.

[0014]Then, the art which unifies and builds in a capacitor near the LSI inside the ceramics package for MPU was developed in recent years. The ceramics package which inner-layer-ized this capacitor is used abundantly for MPU of a comparatively large-sized computer. However, in the case of small computers, such as a compact type and a note type, the mainstream of the LSI package for MPU is a plastic pin grid array (PPGA) package from factors, such as structure of a price, exchange, and a mother board. In the plastic package which carries LSI in a multilayer printed board, most art which inner-layer-izes a capacitor is not developed.

[0015]In the semiconductor package which formed the multilayered film circuit which makes a plastic an insulating layer on the ceramics board, and also carries LSI in JP,4-211191,A, Making a thin film capacitor build in between the terminal area to LSI and a ceramics board or in a thin film circuit is proposed. However, the thing for which the ceramics board which differs in a coefficient of thermal expansion, and the plastic plate are combined, Since there is no elasticity in a ceramics board, the stress which originates in thermal expansion coefficient difference at the time of a solder reflow for mounting, and is generated in a terminal area is not fully absorbed, but there is a possibility that the reliability of a terminal area may fall.

[0016]The structure of the capacitor currently indicated by this gazette forms a dielectric layer all over a substrate or a base. Since a coefficient of thermal expansion differs among a substrate or a base, a conductor metal, and a dielectric layer mutually, If a dielectric layer is formed in the whole surface, the heat stress which a dielectric layer receives into an implementation process will become large, a crack will go into a dielectric layer, there will be a danger that the depressor effect of the switching noise by a capacitor will be lost, and we will be anxious about the fall of reliability also at this point.

[0017]The structure which has arranged the thin film capacitor near the LSI by which flip chip mounting was carried out is indicated by U.S. Pat. No. 5,406,446. Many power electrodes / ground electrodes of the flip chip are arranged in the shape of a lattice, and the inductance to a capacitor decreases by forming wiring in parallel as shown in Fig.1 of the patent. substrate with which the thin film capacitor is formed. (the following, connecting member) \*\*\*\* -- it is formed so that the same beer hall as the electrode pitch of a flip chip may penetrate a substrate, as similarly illustrated in Fig.11.

The electrode pitch of a package of the electrode pitch arranged on the undersurface of this connecting member is also equal to the electrode pitch of a flip chip.

[0018]However, there are some problems also in the connecting member which formed this thin film capacitor. First, the dielectric layer which constitutes a thin film capacitor is formed all over the substrate like [ this thin film capacitor ] the above, and distortion by remaining stress or the heat stress at the time of mounting becomes large. Since this big distortion may cause the crack and crack of a dielectric layer which constitute a thin film capacitor

and may spoil the function as a capacitor, it cannot necessarily be satisfied in respect of reliability.

[0019]Next, since the size of a thin film capacitor becomes almost the same as the size of LSI, area is restricted. In that case, selection of the dielectric materials for securing capacity required as a bypass capacitor in a limited area and the design of thickness become difficult. That is, in the easy dielectric materials of membrane formation, since it is difficult to form a dielectric layer with capacity sufficient in the area, the material which is hard to form although it is high permittivity is used [ become ]. Since leakage current will increase if a dielectric layer is too thin, the necessity of enlarging thickness comes out and there is also a problem that membrane formation takes time.

[0020]In the thin film capacitor of the above-mentioned United States patent, the inductance to the thin film capacitor formed in the same pitch decreases, and a switching noise reduction effect becomes large so that the pitch of a flip chip electrode is fine, but. The electrode formed with these minute pitches will have to be formed in a package, detailed wiring will be needed for a package, and it will be an expensive thing.

[0021]

[Problem(s) to be Solved by the Invention]Here with a technical problem of this invention effective in control of the switching noise of LSI for MPU which operates at high speed. It is the connecting member which was small, could respond to high frequency enough, and was provided with the thin film capacitor with a small inductance component, and is providing a connecting member suitable for using with the plastic package using the multilayer printed board which makes especially a plastic an insulating material.

[0022]The more concrete technical problem of this invention lessens remaining stress and heat distortion at the time of mounting in such a connecting member, and reliability is improved, It is enlarging surface area of a dielectric layer and making selection of material, and the design of thickness easy, and/or lessening formation of detailed wiring and reducing cost.

[0023]

[Means for Solving the Problem]This invention persons considered control of a switching noise by a bypass capacitor.

[0024]In order to correspond to high-frequency-ization, inductance cannot adopt insertion of a capacitor to a mother board which becomes high. On the other hand, although inner layer-ization which inserts a capacitor in an inside of LSI serves as low inductance, since change of a manufacturing process and size increase are needed, adoption is difficult too. Then, it noted arranging a thin film capacitor as a bypass capacitor between LSI and a mounting board not with a inner layer of LSI but with an independent gestalt of a connecting member.

[0025]By using a plastic as a base of this connecting member, stress which can form a capacitor of small size and high capacity with low inductance and to which it comes from a difference of a coefficient of thermal expansion between a plastic package or a printed

circuit board can be eased, and the reliability of connection can be secured. If a dielectric layer of a thin film capacitor is separated and formed for every unit capacitor in that case, It knew stress added to a dielectric layer at the whole substrate compared with a case where it forms in the whole surface, by solid one becoming remarkably small, and a danger that a crack will go into this and a function of a capacitor will be spoiled being canceled, and becoming a reliable connecting member with a thin film capacitor.

[0026]According to this invention, it is a connecting member which has a plastic base and two or more conductive members (beer) penetrated from the 1st field of this base to the 2nd field, A connecting member with a thin film capacitor in which a thin film capacitor which does not cover these conductive members by which at least the 1st field of said base and one side of the 2nd field are adjoined of said two or more conductive members, and that were electrically connected between conductive members of a lot is formed is provided at least.

[0027]A dielectric layer which constitutes said thin film capacitor dissociates for every unit capacitor formed between conductive members of an adjoining lot, and this connecting member is formed. Thereby, a dielectric layer is divided by small area, there are little remaining stress and heat distortion and the reliability of a thin film capacitor improves.

[0028]By the way, inductance of a power source line which should be reduced for switching noise reduction is the inductance between LSI and a bypass capacitor, and is not it between a bypass capacitor and a power supply. Therefore, even if some inductance between the latter power supplies becomes large, it does not influence a switching noise.

[0029]For this reason, although a thin film capacitor used as a bypass capacitor is formed only in one side by which flip chip bonding is carried out to LSI in the above-mentioned connecting member with a thin film capacitor and a pitch of a conductive member (beer) of this connecting member is the same as a flip chip electrode pitch, If the rear-face side of a connecting member which does not form a thin film capacitor connects two or more power source lines and the number of electrodes is thinned out below in half, an electrode pitch can be made rude, and fine pattern formation of a package becomes unnecessary, and it is advantageous in cost.

[0030]Therefore, in [ according to another mode of this invention ] a connecting member with the above-mentioned thin film capacitor, An electrode for connection which electrically connects between conductive members of two or more adjoining same electric potential is formed in a near field in which said thin film capacitor is formed only in the 1st field of said base, and one side of the 2nd field, and a thin film capacitor is not formed.

[0031]By not forming a dielectric layer of a thin film capacitor evenly, but forming so that it may have the sectional shape which repeats unevenness for this dielectric layer, An effective area of a capacitor can be made large, and although this is easy to form membranes, it becomes possible to secure required capacity also by a dielectric layer which consists of dielectric materials of a lower dielectric constant. Since required capacity is securable even if it does not make thickness of a dielectric layer thin for high-capacity-

izing, it becomes possible to suppress leakage current low, and selection of material and a design of thickness which constitute a dielectric layer become easy.

[0032]Therefore, in another mode of this invention, in a connecting member with the above-mentioned thin film capacitor, it is formed so that a dielectric layer which constitutes this thin film capacitor may have the sectional shape which repeats unevenness. Preferably, this dielectric layer had almost uniform thickness, and that sectional shape has repeated unevenness (unevenness of the shape of a curve without an angle) of sine wave shape.

[0033]The connecting member with a thin film capacitor in which such a dielectric layer has the sectional shape which repeats unevenness can etch a lower electrode which constitutes said base or said thin film capacitor by dry type or a wet type, and can form it by a method including a process of forming unevenness in the surface.

[0034]A connecting member with a thin film capacitor in which a dielectric layer has the sectional shape which repeats unevenness of sine wave shape, \*\* A method including a process of forming rectangle unevenness on the surface of a plastic base, and a process of heating a crevice of this base surface locally and making an angle of rectangle unevenness round, Or after spraying thermosetting resin on the surface of \*\* plastic base and making it distributed over island shape, it can manufacture more by making it heat-harden, without a method including a process of forming unevenness in a base surface.

[0035]In a suitable mode of a connecting member with a thin film capacitor concerning this invention, a real wearing solder ball electrically connected with said conductive member is formed in at least the 1st field of said base, and one side of the 2nd field.

[0036]According to this invention, connection structure using a connecting member with a thin film capacitor to which a semiconductor chip, a connecting member with a thin film capacitor of each of above-mentioned modes, and a mounting board are characterized by electrically being connected to this order via solder is also provided again.

[0037]In this connection structure, as for a connecting member, it is preferred to have a thin film capacitor only on one side of a near base connected with a semiconductor chip, and, as for a mounting board, it is preferred that it is a plastic plate which makes a plastic an insulating material.

[0038]

[Embodiment of the Invention]It means inserting the connecting member with a thin film capacitor of this invention between the semiconductor chip represented with LSI, and the substrate (mounting board) which mounts this, and using it for connection between LSI and a mounting board. the semiconductor package to which a mounting board is a plastic plate preferably, and flip chip bonding especially of the desirable thing is carried out in the actual condition although any of a semiconductor package and a mother board may be sufficient -- it is a plastic package preferably. However, the connecting member of this invention can also be used for the BGA connection between a plastic package and a mother board. Below, in order to explain concretely, the case where LSI is mainly mounted in a plastic package by flip chip bonding is explained.

[0039]As shown in drawing 1, the connecting member (10) of this invention has two or more conductive members penetrated from the 1st field (12a) to the 2nd field (12b) of an opposite hand, i.e., the basic structure which provided beer (14), in a thin plastic base (12). These conductive members constitute either a power source line or a ground line.

[0040]As for a plastic base (12), it is preferred to constitute from a plastic which was excellent in heat resistance with the lower dielectric constant of polyimide etc. Although the thickness in particular is not restricted, it is usually good 30 - 500  $\mu\text{m}$  and to consider it as a 50 - 300  $\mu\text{m}$  grade especially. Copper, silver, a silver-palladium alloy, solder, etc. may be sufficient as the construction material of a conductive member (14), and, generally especially the diameter is good 25 - 200  $\mu\text{m}$  and to consider it as a 40 - 120  $\mu\text{m}$  grade.

[0041]The arrangement pattern of the conductive member (14) in a connecting member (10) is aligned with the arrangement pattern of the electrode of LSI (20) and a mounting board (30) which should be connected by this connecting member. Namely, in respect of [ of the base connected to LSI ] the 1st (12a). It is a solder ball for connection with LSI (20), or the same arrangement pattern as a vamp (22), and is considered as the real wearing solder ball for connection with a mounting board (30), or the same arrangement pattern as a pad section (32) in respect of [ of the base connected to a substrate ] the 2nd (12b). Thereby, the real wearing solder ball (22) of LSI (20), the real wearing solder ball (32) of a mounting board (30), and a conductive member (14) are connected in a straight line in line. Since the real wearing solder ball (22) of LSI and the real wearing solder ball (32) of a substrate are mutually used as the same arrangement pattern in many cases, the arrangement pattern of the conductive member in a connecting member is also set by it.

[0042]Thus, when it aligns in a straight line and arranges, inductance serves as the minimum and is preferred, but it is possible for the solder ball of real wearing or the position of a pad section to be slightly shifted in the range which is not necessarily restricted to this and is permitted according to the purpose and a military requirement.

[0043]according to this invention -- at least the 1st field (12a) of the base (12) of the above-mentioned connecting member (10), and one side of the 2nd field (12b) [The 1st field that faced LSI in the example of a graphic display (12a), i.e., one side,] forms a thin film capacitor (40). Thereby, the thin film capacitor which functions as a bypass capacitor effective in reduction of a switching noise can be inserted between a power source line and a ground line, without inner-layer-izing a capacitor to LSI.

[0044]A thin film capacitor (40) has the basic structure which sandwiched the derivation body whorl (44) between the thin film electrodes (42) of the upper and lower sides which consist of metallic conductors, and in this invention. It arranges on the surface of a base (12) so that it may be made to electrically connect between the conductive members (14) which a lot adjoins at least and these conductive members may not be covered. Preferably, a thin film capacitor is arranged among all the adjoining conductive members.

[0045]using this capacitor as a thin film -- small size -- even when -- capacity can be made high. It is an example of the pattern of the up-and-down electrode and dielectric layer of a

thin film capacitor (40) Drawing 2 (a) - (c) It is shown.

[0046]The lower electrode (42a) which touches a base surface in the example of a graphic display is drawing 2 (a). It is a pattern which is connected only to the conductive member (14a) of a ground line among the conductive members which penetrate a base, and is not connected to the conductive member (14b) of a power source line, and forms in a base surface so that it may be shown. As for a lower electrode (42a), like a graphic display, it is simple to form in solid one substantially except for the circumference of the conductive member (14b) of a power source line.

[0047]The dielectric layer 44 provided on it is drawing 2 (b). It does not form in solid one so that it may be shown, group of four adjoining conductive members (namely, "conductive member of an adjoining lot") It was surrounded, respectively and separated into every unit capacitor (44-1, 2, 3 ...). . (That is, it is separated with the dielectric layer of other unit capacitors by which the dielectric layer of one unit capacitor adjoins) It forms by a pattern. The dielectric layer is separated so that the line which connects between four adjoining conductive members which surround one unit capacitor with the example of a graphic display may not be exceeded. Thus, since it can be considered as the dielectric layer in which the remaining stress produced by a membrane formation process and the heat stress at the time of mounting decreased and leads to prevention of a crack of a film by dividing a dielectric layer into every [ a small area ], the reliability of a capacitor increases. Although dividing for every unit capacitor is most preferred like a graphic display as for separation of a dielectric layer, even if it connects the dielectric layer of the unit capacitor of two pieces or some, a certain amount of effect is acquired.

[0048]The upper electrode (42b) formed on the dielectric layer (44) is drawing 2 (c). It forms by the lower electrode and a pattern which does not flow so that it may be shown, and conductive member (14b) connection of the power source line may be made and it may not be conversely connected with a lower electrode in a ground line. Therefore, in the example of a graphic display, an upper electrode (42b) is made smaller than a dielectric layer, and it installs around the conductive member (14b) of the power source line in which the lower electrode (42a) is not formed, and connects with this conductive member.

[0049]As for the connection form of a lower electrode and an upper electrode, it is also possible to make it reverse, and to connect a lower electrode to a power source line, and it to connect an upper electrode to a ground line. Drawing 2 (d) The rear-face side of the base of a connecting member (10) (the 2nd field <12b>) Arrangement of a conductive member and an electrode is shown.

[0050]Although it can be considered as the same material as the conductive member of a base, as long as the material of the electrode of a thin film capacitor has good conductivity, another material may be sufficient as it. As a material with a preferred dielectric layer, an organic system high dielectric constant film other than inorganic materials, such as tantalum oxide, strontium titanate, barium titanate, lead titanate, and a titanate acid zirconium, etc. are mentioned.



[0051]The connecting member with a thin film capacitor of this invention is suitable for inserting between LSI and the semiconductor package by which flip chip bonding is carried out, and connecting a substrate with LSI, as shown in drawing 1. in that case, at least one side of the base of this connecting member (namely, the 1st field and 2nd field at least on the other hand) . If it forms so that the real wearing solder ball (32) used for flip chip bonding may electrically be connected with the conductive member (14) of a connecting member, connection work becomes simple and is advantageous. This real wearing solder ball may be formed in both sides of the base of a connecting member.

[0052]A real wearing solder ball can be formed by screen-stenciling solder paste, after covering the portion which does not form the solder ball of a base surface by a solder resist. In that case, plastic material which can form a damp-proof good film as a solder resist (for example, polyimide) It is advantageous to use it. When after solder ball formation leaves this solder resist as a permanent resist, it is because a capacitor can be protected from humidity.

[0053]Since the thin film capacitor is close to the electrode pad and through hole of a substrate for flip chip bonding when flip chip mounting of the LSI is carried out to a semiconductor package using the connecting member with a thin film capacitor of this invention, the inductance of each unit capacitor is dramatically small. The inductance component between a chip and a capacitor can also be made small by connecting LSI to this connecting member with a small solder ball. According to these synergistic effects, the connecting member of this invention can be operated as a bypass capacitor of low inductance, and it is dramatically effective in reduction of a switching noise.

[0054]Compared with the case where LSI is directly connected to a semiconductor package via a solder ball, the height for one solder ball and the height equivalent to the thickness of a plastic base are added by connecting using the connecting member of this invention. Since a plastic base has moderate pliability, it changes and can absorb some stress. The heat stress produced by a reflow at the time of mounting for increase of this connecting space and the pliability of a base is eased, and since the stress added to the solder of a terminal area or the electrode pad of LSI and a substrate declines, connection reliability improves.

[0055]. The multilayer plastic plate for a package called a build up board repeats formation of wiring and an insulating layer, and complete it. Since the process of capacitor formation will be added to the usual process if a capacitor tends to be inner-layer-ized to this substrate and it is going to manufacture a semiconductor package, it becomes the cause of dropping the whole yield. Since it is necessary to enlarge a semiconductor package considerably for PGA mounting to a printed circuit board, it becomes [ LSI ] and becomes large. Therefore, when a capacitor is inner-layer-ized, since inductance becomes large, by high frequency, the capacitor of a package except near the terminal area with LSI peripheral part is ineffective, and becomes effective [ the inner layer capacitor of the almost same area as a chip directly under LSI ]. To form the dielectric layer of a capacitor, it is

necessary to put the whole semiconductor package into the inside of a system for thin film deposition but, and on a process, with an area ratio, in order that the unnecessary portion of capacitor formation may occupy most, the manufacturing efficiency in dielectric layer formation gets very bad.

[0056]In the thin film capacitor formed in the connecting member of this invention, the almost same size as LSI may be sufficient as the size of a connecting member. This connecting member with a thin film capacitor can be manufactured at once in the form which connected many connecting members, and can be eventually cut, divided and used for the almost same area as a chip. Even in such a case, since almost all area is utilizable as a capacitor, the rise of cost can be controlled. It is not necessary to change the manufacturing process of a package, and there is no fall of the yield by manufacturing as an independent connecting member rather than inner-layer-izing to a semiconductor package. If the terminal area of this connecting member with a thin film capacitor is used as a solder ball, since it can mount by the usual reflow method, the new technical development or equipment for mounting will not be needed, and cost escalation of the whole packaging of LSI will not be caused.

[0057]Contrary to the thin film capacitor of the connecting member of this invention having been shown in drawing 1, a plastic base, The side in which LSI is mounted is a field of an opposite hand. (namely, the near field or the 2nd field 12b connected to a mounting board) (namely, between a plastic base and mounting boards) If it forms, Since alpha rays will be absorbed by the plastic base even if alpha rays may occur from a capacitor material, it is desirable at the point which cannot reach LSI and can also prevent malfunction by alpha rays. It is also possible to form a thin film capacitor in both sides of a base.

[0058]Thus, the connecting member with a thin film capacitor of this invention, It is effective in the control of a switching noise made into a problem from the former, and if it thinks to the packaging of LSI in order to be able to respond to high frequency and not to inner-layer-ize to LSI, the purpose can be attained by low cost from other structures.

[0059]It is preferred to form the thin film capacitor which becomes only one side of the side connected with LSI of a base (12) from a dielectric layer (44) and an up-and-down electrode (42) in the connecting member of this invention, as shown in drawing 1.

[0060]In that case, in the connecting member shown in drawing 1, the real wearing solder ball (32) to the substrate (30) by the side of the rear face of the base which does not form a thin film capacitor will be formed in the same pitch as the solder ball for the flip chip bonding of LSI (22), therefore a very detailed pitch.

[0061]At another structure of the connecting member of this invention, they are drawing 3 and drawing 4 (d). Arrangement of the solder ball (22) by the side of LSI of a connecting member is the same as drawing 1 so that it may be shown, but in the rear-face side of a connecting member, the electrode for connection (46) which electrically connects between the conductive members of the same electric potential of every two adjoining groups is formed. Specifically, for example in drawing 3, the solder ball by the side of LSI

presupposes that it is the order of a power supply / power supply / ground / ground from left-hand side. In that case, at the rear-face side, two conductive members (power source lines or ground lines) are connected by the electrode for connection.

[0062]What is necessary is just to connect every one real wearing solder ball (32) to each electrode for connection by the side of a rear face (46), respectively in the case of such a connecting member of structure. It is drawing 4 (d) about the example of arrangement of the electrode in that case, and a real wearing solder ball. It is shown. Identical attribute which the electrode for connection (46) adjoined (a power source line or a ground line) It is formed by the pattern which connects two conductive members, It is the real wearing solder ball 32 (dotted-line circle) to the center of this electrode for connection. By arranging, the number of real wearing solder balls is a half, it ends, and that pitch becomes a twice as many size as this.

[0063]That is, conductive member (beer) which penetrates a connecting member Although a pitch is equal to the pitch of the solder ball of a flip chip, the pitch of the real wearing solder ball formed in the base rear face spreads twice. In this way, the narrow pitch of the solder ball for flip chips is avoided, it becomes possible to package-ize LSI for not needing fine wiring, and the manufacturing cost of a package decreases. Thus, even if it enlarges the pitch of the solder ball by the side of a rear face, it does not have an adverse effect on the reduction effect of the switching noise by a thin film capacitor.

[0064]The position of the structure solder ball in this rear-face structure is drawing 4 (d). Considering it as the center of the electrode for connection has a pitch preferred at the point which becomes fixed so that it may be shown, but it is not restricted to in particular this. Drawing 4 (a) - (c) Drawing 2 (a) - (c) It is the same and the explanation about this is omitted.

[0065]Although the example of a graphic display showed the example which thins out the number of real wearing solder balls by the side of the rear face of the connecting member of this invention in a half, it does not restrict to this. It is also possible to connect the conductive members of three or more same electric potential by the electrode for connection by the rear-face side depending on the arrangement of the electrode of a flip chip, to thin out further extremely the number of mounting solder balls by the side of a rear face, and to extend the pitch further.

[0066]In another structure of the connecting member of this invention, at least one side of a plastic base, The dielectric layer which constitutes the thin film capacitor formed without one side of the side preferably connected to LSI is not flat as shown in drawing 1 and 3, and it is drawing 9 (5), for example. It has the sectional shape which repeats unevenness so that it may be shown.

[0067]capacity of a thin film capacitor (C) : expressed as follows -- the thickness of the electrode area d:dielectric of the specific-inductive-capacity S:capacitor of the dielectric constant  $\epsilon_r$ :dielectric in a  $C = \epsilon_r \epsilon_0 x S / d$   $\epsilon_0$ :vacuum -- that is, Material in which the capacity of a thin film capacitor constitutes a dielectric layer (ratio) It is

proportional to a dielectric constant and the area of a dielectric layer, and in inverse proportion to the thickness of a dielectric layer.

[0068]The effective area  $S$  of a capacitor will be substantially restricted to the same size as a base as the dielectric layer of a thin film capacitor is flat. Therefore, in order to secure required capacity, there is a thing [ make / it / small / can kick and ] no longer becoming about thickness  $d$  of \*\* dielectric layer, using the material of \*\* high permittivity. As a result, in order to fill \*\*, a good material of membrane formation nature cannot necessarily be used, but the width of selection of material narrows. Since leakage current will increase and the withstand voltage nature and reliability of a thin film capacitor will fall on the other hand if a dielectric layer is made thin in order to fill \*\*, thickness of a dielectric layer cannot be made very small. Therefore, if the area of the dielectric layer is restricted, selection of the dielectric materials for securing required capacity and the design of thickness will become difficult.

[0069]However, by forming so that it may have the sectional shape which repeats unevenness for a dielectric layer, When the effective area of the capacitor could be made large and this forms a dielectric layer from the materials ( $Ta_2O_5$  etc.) of the lower dielectric constant which is easy to form, And/or, even when leakage current is made into the thickness of the range which can be suppressed low, the reliable capacitor excellent in dielectric loss or insulation can be obtained, and selection of material and the design of thickness become easy. In the case of the same thin film capacitor of capacity, compared with the case where a dielectric layer is flat, base area is made small and it becomes possible to miniaturize a connecting member.

[0070]Although horned unevenness, for example, rectangle unevenness, may be sufficient as the uneven shape of the section of this dielectric layer, it is the unevenness of sine wave shape formed with the curve which does not have an angle preferably. Although it is more advantageous to high-capacity-izing by increase of area for a dielectric layer to have an angle, since an electric field and stress concentrate on an angle and it becomes easy to cause a dielectric breakdown, the reliability of a capacitor falls. As for a dielectric layer, it is preferred that thickness is uniform in respect of the stability of capacity, and by extension, noise absorption performance.

[0071]In order to make it have the concavo-convex sectional shape of thickness with a uniform dielectric layer, What is necessary is to perform etching, laser beam machining, etc. to the plastic base or lower electrode which is the ground, to give unevenness to sectional shape and just to form a dielectric layer and an upper electrode by membrane formation and patterning on it by forming a detailed crevice in the surface. In this case, the unevenness generally formed is a wet type although it becomes a rectangular cross section. (wet) Since an etching reagent turns to the resist bottom when etching is used, an angle is small or sectional shape with unevenness of sine wave shape without an angle can be formed.

[0072]If the crevice of the surface unevenness of a plastic base is locally heated after that

even if the unevenness has a rectangular cross section when unevenness is given on the surface of a plastic base, the angle of rectangle unevenness becomes round by contraction of the plastic of the heated portion, and unevenness of sine wave shape can be formed. Or after spraying thermosetting resin on the surface of a plastic base and making it distributed over island shape, also making it heat-harden can form unevenness of sine wave shape in a base surface. An example explains the formation method of these unevenness more concretely.

[0073]

[Example](Example 1) Manufacture of the connecting member with a thin film capacitor of this invention is illustrated, referring to drawing 5. The number in the parenthesis in the following explanation corresponds with the number of drawing 5. However, the manufacturing method of the connecting member with a thin film capacitor of this invention is not restricted to the method explained below, and many other methods are possible for it.

[0074](1) First, on the carbon plate which functions as a supporting board and an electrode for plating, the spin coater was used, photosensitive polyimide resin liquid was applied to 80 micrometers in thickness, and it dried. Options, such as a roll coater, may be used for a coating method. It is a through hole (beer hall) 80 micrometers in diameter at the interval which uses photolithography technique for the photographic sensitive film which is not hardened [ this ] and from which the distance between beer is set to 200 mum. It opened. Then, it heated, polyimide resin was stiffened and the polyimide group object which has a through hole was formed on the carbon plate.

[0075]The method of sticking not spreading but un-hardening or the hardened dry film of polyimide on a carbon plate may be used for formation of a polyimide group object. Puncturing by laser or mechanical punch can perform formation of a through hole. It is also possible to form a through hole by carrying out dry etching using the resist patternized to the nonphotosensitive polyimide group object. Although a plastic base is also producible from resin other than polyimide, its material excellent in heat resistance and insulation is preferred.

[0076](2) Next, electrolytic copper plating was performed by using a carbon plate as an electrode. By that cause, copper deposited in the through hole of the polyimide group object, this gap was thoroughly filled in copper, and the conductive member, i.e., beer, was formed. In this way, the polyimide substrate which two or more conductive members penetrated from the 1st field of the plastic base to the 2nd field was obtained.

[0077](3) The thin film of copper used as a lower electrode was formed in 1-micrometer thickness by sputtering which used the copper target for the surface of the polyimide group object in which beer was formed. Copper membrane formation is other gaseous phase methods or wet process. (nonelectrolytic plating + electrolysis plating) It is [ but ] possible.

[0078](4) The thin film of this copper was patterned with photolithography method. Namely, after covering a dry film resist on a copper thin film first and performing exposure for pattern

formation, and development, Wet etching or the dry etching by sputtering removes the garbage of a copper thin film, finally a dry film is exfoliated, and it is drawing 2 (a). The lower electrode with a desired pattern as shown was formed.

[0079](5) Next, reactive sputtering by the mixed gas of the oxygen which targeted tantalum (Ta) metal, and argon was performed, and the dielectric layer of tantalum oxide ( $Ta_2O_5$ ) was formed. As for the substrate temperature in this case, it is desirable that below 300 °C carries out in consideration of the heat resistance of polyimide. 50 nm and the dielectric constant of the thickness of tantalum oxide were 25.

[0080]With the same method, they are titanium (Ti) and niobium to a target. (Nb) Or if reactive sputtering is performed using hafnium (Hf), the dielectric layer of titanium oxide, niobium oxide, or oxidation hafnium can be obtained.

[0081]Other techniques, such as a sol gel process, a laser ablation method, vacuum deposition, and the MOCVD method, can also be used for membrane formation of this dielectric layer.

(6) This dielectric layer was patterned with photolithography method. Namely, after covering a dry film resist and forming a resist pattern by the exposure for pattern formation, and development on a dielectric layer first, The wet etching or dry type sputter etching by fluoric acid removed the garbage of tantalum oxide, and the dielectric layer with a desired pattern as shown in drawing 2 (b) was formed.

[0082]The above-mentioned process (5) And (6) It may carry out by the lift-off method. In that case, process (5) (6) It reverses selectively. That is, before membrane formation of a dielectric layer, as it stated above (6), a resist pattern is formed. Then, (5) After forming a dielectric layer at 100 °C or the low temperature not more than it, an organic solvent etc. dissolve and remove resist. The dielectric layer on resist is also simultaneously removed in that case, and a dielectric layer is patternized. In the lift-off method, patterning takes place by the material of a portion in which a resist pattern exists downward being removed unlike the usual photolithography method. Finally it heat-treats below by 300 °C, and the characteristic of a dielectric layer is raised.

[0083](7) In order to form the upper electrode of a thin film capacitor after that, the copper thin film was formed in 1-micrometer thickness by copper sputtering like the lower electrode.

(8) About the copper thin film for these upper electrodes, it is (4). The garbage of the copper thin film was similarly removed by a photolithography and etching, and the upper electrode with a desired pattern as shown in drawing 2 (c) was formed.

[0084]In this way, plastic base concerning this invention (polyimide group object) The connecting member provided with the thin film capacitor which becomes one side from an up-and-down electrode and a dielectric layer was manufactured on the carbon plate.

[0085]In this example, the solder ball electrically connected with each conductive member is formed in both sides of this connecting member. Therefore, the following (9) And the process of (10) was performed further.

(9) The photosensitive polyimide resin liquid which is a damp-proof good solder resist is first applied to the surface of the side in which the thin film capacitor of the connecting member was formed, by screen-stencil, It patternizes so that the electrode right above a conductive member may be exposed using photolithography technique, (10) in\_which the solder resist film which served also as damp-proof improvement was formed Next, in order to form the solder ball for flip chip bonding in the portion which the solder resist was removed and the electrode has exposed, Solder paste was made to adhere circularly [ diameter abbreviation 120  $\mu\text{m}$  ] by screen-stencil of solder paste. After solder paste dries, a polyimide group object is exfoliated from a carbon plate, and it is a field of the opposite hand of a polyimide group object. (rear face) In order to form a real wearing solder ball also on the exposed conductive member, solder paste was screen-stenciled similarly and it dried.

[0086]Then, passed the reflow furnace, where a connecting member is horizontally held with a carbon jig, and fused solder paste, it was made to change into ball state, and the solder ball was formed in both sides of a connecting member. It left after formation of this solder ball in order to operate a solder resist film as a moisture-proof protective film. In this way, the connecting member with a thin film capacitor which equipped both sides with the solder ball of the object for flip chips or real wearing was obtained.

[0087]Where many connecting members of a slightly larger size than LSI are connected in all directions as mentioned above, the connecting member with a thin film capacitor was formed, and it separated to each connecting member.

[0088]The field of the side which did not form a thin film capacitor for this connecting member is turned down, After using and carrying out alignment of the flip chip bonder device on the real wearing pad of the plastic pin grid array for flip chip bonding which printed solder paste on the pad electrode and carrying out temporary attachment using flux, it connected with the semiconductor package by passing a reflow furnace. Then, underfile resin was slushed into the space between a connecting member and a semiconductor package, and it fixed thoroughly.

[0089]Next, alignment of the position of the solder ball of the upper surface of a connecting member and the solder ball beforehand formed in LSI was carried out using the flip chip bonder, and connection with temporary attachment and a reflow furnace was made similarly. Then, underfile resin was slushed into the space between a chip and a connecting member, heat cure of the resin was carried out, and mounting was completed.

[0090]The result mounted with this mounting method using the dummy chip in which the pattern for inductance measurement was formed, The capacitor of capacity 100 nF and inductance 1pH could be formed, and it became a capacitor of high capacity with the low inductance which can enough respond to high-frequency-ization of the level over 1 GHz.

[0091](Example 2) This examples are drawing 3 and drawing 4 (d). Form a thin film capacitor in one side of the side connected with LSI of a connecting member, and so that it may be shown in the rear face of an opposite hand. Same electric potential (identical

attribute) When it electrically connects two adjacent electrodes at a time by the electrode for connection and the spatula of the number of electrodes by the side of a rear face and the number of real wearing solder balls is carried out to a half, it illustrates that a noise reduction effect does not deteriorate even if the pitch of a solder ball is expanded twice. [0092]The equivalent circuit of the power source line at the time of carrying out flip chip mounting of the LSI to a package using the connecting member with a thin film capacitor of this invention is shown in drawing 6. C shows thin film capacitor capacity and L3 shows the internal inductance of a thin film capacitor. L1 and L2 show the inductance between LSI-thin film capacitors. The inductance of the solder ball 22 shown in drawing 3 is equivalent to this.

[0093]L4 and L5 are thin film capacitor packages. (substrate) The inductance of a between is shown. The electrode 46 for connection and the solder ball 32 on the conductive member 14 and the rear face of a base which penetrate the connecting member in drawing 1 are equivalent to this.

[0094]L6 and L7 show the inductance of a package. Drawing 6 shows that the power supply is connected to a package. This example (example 2) It is drawing 3 and 4 (d). Since the half was made to reduce the number of the solder balls 32 on the rear face of a base and the pitch was extended twice so that it might be shown, Drawing 1 and 2 which only L4 and L5 produced in Example 1 (d) Arrangement of the shown rear electrode (the following, Example 1) It compares and increases twice.

[0095]Clock frequency considered LSI which is a 100 MHz grade, as shown in Table 1, each parameter was assumed, and it investigated how many switching noises change with simulations. Here, the output impedance of the power source line seen from the LSI side proportional to a switching noise was analyzed. Although various frequency components are contained in the switching noise, the dominant ingredients of a noise are an ingredient of clock frequency, and its harmonics, and if it says in this example, it is needed for noise reduction that the output impedance of 100 MHz and the frequency beyond it is small.

[0096]

[Table 1] L1L2L3L4L5 L6L7C example 1 10pH 10pH 5pH 10pH 10pH 50pH 50pH 1micro-F example 2 10pH 10pH 5pH 20pH 20pH 50pH 50pH -- the analysis result of this simulation 1 micro F. It is shown in drawing 7. x seal shows Example 1 among a figure, and \*\* seal shows the impedance of Example 2.

[0097]As shown in this figure, impedance is decreasing near the 100 MHz. This is because capacity value and an inductance value were designed so that the switching noise near the 100 MHz might decrease. Although the curve of Example 1 of x seal and the curve of Example 2 of \*\* seal have few differences below at 100 MHz, they are thoroughly in agreement above 100 MHz. That is, the switching noise removing effect more than 100 MHz can be referred to as showing the same thing and having the noise rejection effect that any power source line is in general comparable. That is, even if it thins out the number of the solder balls for package mounting by the side of a rear face, there is almost no



influence of the removing effect on a switching noise.

[0098]Although it is difficult to presume the infanticide grade of a suitable electrode, probably, 1/2 to about 1/5 will be appropriate in general. It is because wiring resistance will increase when a parallel number decreases if it thins out too much not much, so not the switching noise that is a high frequency noise but direct-current-voltage descent will arise. on the other hand, it mentioned above from a viewpoint of a cost cut -- as -- actual condition level (100 micron pitch) \*\*\*\* -- it only thins out in a half and the cheap package currently used from the former can be used -- an effect -- it is enough. However, probably, it will be desirable to thin out below in half in that case, since the electrode pitch becomes small further from now on.

[0099]As mentioned above, while there is the substantially same effect as the connecting member of Example 1, it is clear the connecting member's of this example to contribute to low cost-ization of a package, so that it may understand.

[0100](Example 3) In this example, the manufacture of the connecting member with a thin film capacitor concerning this invention in which the dielectric layer which constitutes a thin film capacitor has the same structure as Example 1 except for having the sectional shape which repeats unevenness is illustrated.

[0101]process (4) of Example 1 \*\*\*\*\* -- making it be the same as that of Example 1 -- the carbon plate top of a supporting board -- formation of a polyimide group object and its through hole [a process (1)]. Restoration of the through hole by electric Cu plating (formation of a conductive member) Membrane formation of the Cu thin film by [a process (2)] and sputtering It is formation of a \*\*\*\*\* Cu electrode to patterning of the Cu thin film using [a process (3)] and photolithography method. [The process (4)] was performed.

[0102]Next, the surface of this lower Cu electrode was processed into unevenness with photolithography method by the process order shown in drawing 8. Using a photolithography, specifically to a photosensitive resist film. The square of a 1-micrometer angle forms the matrix form dot pattern arranged in all directions at intervals of 1 micrometer. [Drawing 8 (1)] and this resist film are used, and it is dry etching about a Cu electrode. (sputter etching) By carrying out, Only the depth of 0.5  $\mu\text{m}$  etched the surface of copper of about 1-micrometer thickness mostly. [Drawing 8 (2)]. Then, when resist was removed, on the surface of the Cu electrode, 1 micrometer of every direction and the surface unevenness with which the crevice of depth 0.5  $\mu\text{m}$  is located in a line in all directions at intervals of 1 micrometer were done. Therefore, the Cu electrode had the sectional shape by which rectangle unevenness is repeated in the section passing through this crevice. [Drawing 8 (3)]. By this irregularity working, the surface area of the Cu electrode increased by 50%.

[0103]Next, process (5) (it is membrane formation of dielectric membrane to reactive sputtering) of Example 1 And process (6) (patterning of dielectric membrane) It follows, The dielectric layer which consists of tantalum oxide is formed on a lower Cu electrode.

[Drawing 8 (4)], Furthermore, it is a process (7) (membrane formation of the Cu thin film for

upper electrodes) of Example 1. And process (8) (patterning of a Cu thin film) If it follows and a top Cu electrode is formed [Drawing 8 (5)], The connecting member which has a thin film capacitor with the pattern which a dielectric layer has uniform thickness and repeats rectangle unevenness on a polyimide group object was produced. Compared with the case where this thin film capacitor forms a dielectric layer in plate-like, the area of the dielectric layer has increased by 50%.

Capacity shown above. If the material and thickness of a dielectric layer are the same as shown in the expression of relations of (C), compared with the thin film capacitor whose dielectric layer is plate-like, capacity will increase 50%.

[0104]In this way, after a dielectric layer forms the thin film capacitor which has the sectional shape which rectangle unevenness followed in the shape of a polyimide group object, Process (9) of Example 1 And according to (10), formation of a damp-proof solder resist layer, removal of a carbon plate, and a double-sided solder ball were formed, and the connecting member of this invention with a solder ball was completed.

[0105]Using the connecting member with a thin film capacitor which has the sectional shape of rectangle rugged form, the same with having indicated in the Example 1, this dielectric layer mounted in the dummy chip for a plastic pin grid array and inductance measurement, and measured inductance. As a result, the capacitor of capacity 0.6  $\mu\text{F}$  and inductance 1pH could be formed by the case where the project area of an electrode is  $1\text{-cm}^2$ , and it fully became a thin film capacitor of high capacity with low inductance.

[0106]On the other hand, with the thin film capacitor plate-like in the dielectric layer of Example 1, capacity is 0.4  $\mu\text{F}$  in the same electrode project area, and it was proved by giving unevenness to the dielectric layer of a thin film capacitor, and expanding the area to it that capacity improved by leaps and bounds.

[0107](Example 4) The dielectric layer of the thin film capacitor produced the connecting member with a thin film capacitor which has the sectional shape which repeats unevenness like Example 3. However, wet type [ etching / for giving unevenness to a lower Cu electrode in this example ] using the dry etching of Example 3 to an etching reagent (wet) By changing into etching, The sectional shape which has not rectangle unevenness like Example 3 but unevenness of sine wave shape without an angle was given.

[0108]Process order in this case (from the irregularity working of a lower electrode up to upper electrode formation) It is shown in drawing 9. The process except having been shown in drawing 9 was the same as that of Example 3. In the method shown in drawing 9, the matrix form dot pattern of a 1-micrometer angle was formed in the photosensitive resist film to be used completely the same with having been shown in drawing 8. [Drawing 9 (1)]. This resist film was used and wet etching by acid was performed. [Drawing 9 (2)]. In wet etching, since an etching reagent turned also to the resist film bottom, in the Cu electrode from which resist was removed, the crevice of the shallow ball state which has a bigger path in the portion which is equivalent to the rectangle dot of resist was done [drawing 9

(3)]. Since it had become the projection which has an angle in the portion of the mountain of this unevenness, wet etching was performed again and the projection was removed. [Drawing 9 (4)]. As a result, the surface became a little smooth, and Cu surface has been processed so that it might have the sectional shape near a sine wave. The surface area of the top Cu electrode by this processing increased by 30%.

[0109]Then, drawing 8 (4) It reaches and is formation of a dielectric layer like (5). Formation of [drawing 9 (5)] and a top Cu electrode [Drawing 9 (6)] was performed. In this way, the thin film capacitor which has the sectional shape which unevenness of the sine wave shape where a dielectric layer has almost fixed thickness and, which does not have an angle follows was formed. The area of the dielectric layer of this thin film capacitor is increase of 30% in the case of a plate-like dielectric layer. The area rate of increase in the case of the sectional shape of the rectangle unevenness which showed drawing 8 the area rate of increase by concavo-convex grant of this sine wave shape (50%) Although it is small, since a dielectric layer does not have an angle, electric field concentrates and stress concentration to an angle can be avoided, and the reliability of a capacitor becomes high. [0110](Example 5) In this example, unevenness is not given to a lower Cu electrode like Examples 3 and 4, By giving unevenness to the plastic base (polyimide group object) which is the ground, the methods of producing the connecting member with a thin film capacitor concerning this invention also including a dielectric layer that the whole thin film capacitor has concavo-convex sectional shape are illustrated.

[0111]This connecting member is fundamentally [ as the method explained to Example 1 except for performing processing which gives unevenness first to a base surface ] the same. That is, in the process order shown in drawing 5 adopted in Example 1, it is a process (1). Simultaneously with formation of a through hole, in formation of a polyimide group object, the back before forming a through hole in a polyimide film performs processing which gives unevenness to a base surface depending on the case. After that, it is a process (2). A connecting member with a solder ball and a thin film capacitor is produced by forming a lower electrode, a dielectric layer, and an upper electrode, producing a thin film capacitor according to - (10), and performing solder ball formation of a solder resist or both sides further. Since a base surface has unevenness, the thin film capacitor produced by forming membranes on it will have the same concavo-convex sectional shape as a base surface. This method is explained with reference to drawing 10. The process which was not explained may be the same as that of Example 1.

[0112]For example, unevenness is given by a suitable method which is formed by a coating method, or is prepared as a dry film, and is later mentioned on the surface of [drawing 10 (1)] and this polyimide group object as the base which consists of polyimide was indicated in the Example 1. [Drawing 10 (2)]. Next, as the through hole for beer formation which is not illustrated was indicated in the Example 1, it is formed in drawing 10, a through hole is further filled up with copper with electrolytic copper plating etc., and beer is formed. Then, membrane formation of a lower electrode and patterning Membrane formation of [drawing

10 (3)] and a dielectric layer, and patterning [Drawing 10 (4)], and membrane formation of an upper electrode and patterning [Drawing 10 (5)] is performed in order, and a thin film capacitor is formed on a base. Although drawing 10 showed the example which gave unevenness of sine wave sectional shape to the base surface, rectangular cross section shape may be sufficient.

[0113]The example of the concavo-convex grant method on the surface of a plastic base is explained with reference to drawing 11 - 13 below.

Method A: Drawing 11 shows the typical method of giving unevenness of a rectangular cross section to the plastic base surface.

[0114]First, a pattern is formed in the photoresist film arranged on a base. [Drawing 11 (1)]. This pattern is a rectangular pattern which the hole of the square of a 1-micrometer angle arranged in all directions at intervals of 1 micrometer like what was shown by drawing 8. After forming a pattern in the dry film of photoresist beforehand, it may arrange to a base. Next, this resist pattern is used as a mask, dry etching of the base is carried out by plasma or weld slag, and a crevice is formed in a base surface. [Drawing 11 (2)]. It is necessary to control this dry etching so that a crevice does not penetrate a base. For example, the crevice of a depth of about about 20 to 70 percent of base thickness is formed. If resist is removed after that, unevenness of rectangular sectional shape will be produced by the base surface. [Drawing 11 (3)].

[0115]Although unevenness was formed in the base surface by the dry etching which used photoresist in the method shown in drawing 11, When photosensitive polyimide is used for a substrate material like Example 1, it is possible to exclude photoresist and to give unevenness to a base surface according to the same photolithography process as formation of a through hole. In this case, the exposure intensity in a photolithography is adjusted so that a base may not be penetrated. It is also possible to form unevenness in a base surface with laser processing of a plastic base.

[0116]Method B: Make an angle round using contraction of the plastic according the rectangle unevenness formed in drawing 12 on the surface of the plastic base by the method as shown in drawing 11 to heating, and illustrate the method of making it changing to unevenness of sine wave shape.

[0117]Drawing 12 (a) Crevice of the plastic base which has the surface unevenness which has rectangular sectional shape so that it may be shown (field A) It heats locally. Thereby, heat contraction of the plastic of the heated part is carried out, the angle of rectangle unevenness is pulled, and it becomes round, and changes to unevenness of sine wave shape.

[0118]As an example of the method of heating only the crevice of the surface of a plastic base locally, it is drawing 12 (b). The method and drawing 12 (c) which use a scanning laser beam so that it may be shown There is a method of using the heating body which arranged the resistance heating element by the same pattern as a base crevice so that it may be shown.

[0119]Drawing 12 (b) The shown laser heating technique can also be used for forming a crevice in a base surface, as it was mentioned above, when the energy of the laser beam was set as sufficient height for evaporation of a polyimide group object. The recessed parts forming by a laser beam can be applied also when bases are photosensitive and nonphotosensitive any, and since arrangement and removal of troublesome resist are unnecessary, it is excellent in operativity.

[0120]Method C: How to give the surface unevenness which has the sectional shape of sine wave shape is directly shown in drawing 13 at a plastic base, without using contraction of the plastic by heating.

[0121]or [ first, / that it is the same as a base on the surface of a smooth plastic base ] -- or the thermosetting resin of different construction material is sprayed with a spray. This amount of spraying and the size of the drop of a spray are adjusted, and a uniform film is not made, and it is made for resin of island shape to remain. The method of a spray may use an inkjet method. If resin of this island shape is made to heat-harden, compared with the method by the above-mentioned heat contraction, wavelength is irregular, but the surface unevenness which is tinged with the radius of circle of sine wave shape is formed in a base surface. Since the purpose of surface unevenness is to increase surface area, there is no necessity that the wavelength of the unevenness is constant.

[0122]In the connecting member with a thin film capacitor shown in Examples 3-5, the electrode for connection illustrated in the Example 2 at the base rear-face side may be formed, and the number of solder balls by the side of a rear face may be thinned out.

[0123](Example 6) In this example, the connecting member with a thin film capacitor which used barium titanate as dielectric materials is illustrated. The production procedures of a connecting member are Examples 1 (a dielectric layer is monotonous). Or example 3 (the sectional shape of a dielectric layer is rectangle rugged form) Although it is the same as that of what is shown, it is a process (5) of Example 1 or drawing 5. Membrane formation of the dielectric layer was carried out as follows.

[0124]RF excitation sputtering using the mixed gas of the oxygen which targeted barium titanate, and argon performed membrane formation of the dielectric layer, and it formed the barium titanate film. As for the substrate temperature in this case, it is desirable that below 300 °C carries out in consideration of the heat resistance of polyimide. The conditions of sputtering are RF power 1000W, argon gas flow 100 sccm, and gaseous oxygen flow rate 30 sccm, for example.

[0125]The dielectric constant of the formed barium titanate thin film was 1000, and thickness was 100 nm. When a capacitor project area was  $1\text{-cm}^2$ , and the capacity of this thin film capacitor had a monotonous dielectric layer, it was 8.8  $\mu\text{F}$ , but when it had the sectional shape of rectangle unevenness, it was 13 micro F.

[0126]In a similar way, if the mixed material of strontium titanate, or barium titanate and strontium titanate is used for a target, the dielectric layer of strontium titanate or the dielectric layer of the mixed material of barium titanate and strontium titanate can be

obtained.

[0127]

[Effect of the Invention]If the connecting member of this invention is inserted between LSI and the plastic plate for flip chip mounting and LSI is mounted in a substrate, Since the capacitor of high capacity is inserted near the LSI with the low inductance which can sufficiently respond to high-frequency-ization of LSI over 1 GHz, it is effective in being able to control the switching noise of LSI and preventing malfunction by this noise.

[0128]In this invention, the capacitor of high capacity can be inserted in LSI with low inductance, without inner-layer-izing.

Therefore, change of the manufacturing process of LSI is unnecessary and the switching noise of LSI can be reduced by low cost.

[0129]The base of this connecting member is the same plastic as the construction material of a mounting board, and the difference of a coefficient of thermal expansion with a substrate is small, Since the heat stress which joins a terminal area at the time of a reflow will become small if flip chip bonding of LSI and the plastic plate is carried out by the connecting member of this invention when a leeway is given to the space between LSI and a substrate by insertion of a connecting member, a flexible thing, the reliability of a plastic base of connection improves.

[0130]Since the dielectric layer of the thin film capacitor is divided into the small area, the remaining stress of the film at the time of membrane formation and the heat stress at the time of mounting decrease and a crack of a film can be prevented, the reliability of a capacitor increases. Since it will be absorbed by a plastic base even if alpha rays occur from a dielectric layer if a thin film capacitor is formed only in the mounting board side of a base, malfunction by alpha rays can be prevented.

[0131]In another structure of the connecting member of this invention, a thin film capacitor is formed in base one side, the electrode for connection which connects two or more beer with the rear-face side of a base is formed, and if the solder ball with which it equips is thinned out, a manufacturing cost can be lowered, holding substantially the function of the above-mentioned outstanding thin film capacitor.

[0132]Since the area increases and it can high-capacity-ize if concavo-convex sectional shape is given to the dielectric layer of a thin film capacitor, it has required capacity and it becomes easy the design of a small thin film capacitor and to choose leakage current of material.

---

[Translation done.]

## \* NOTICES \*

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1]It is an explanatory view showing typically the connecting member of this invention inserted between a mounting board and LSI.

[Drawing 2]Drawing 2 (a) - (c) Each pattern of the lower electrode which constitutes the thin film capacitor used for the connecting member shown in drawing 1, a dielectric layer, and an upper electrode is illustrated, and it is drawing 2 (d). Side in which the thin film capacitor of the connecting member of this invention is not formed (rear-face side) The electrode pattern of a base surface is shown.

[Drawing 3]A mounting board and drawing 1 inserted between LSI are the explanatory views showing the connecting member of this invention of another structure typically.

[Drawing 4]Drawing 4 (a) - (c) Each pattern of the lower electrode which constitutes the thin film capacitor used for the connecting member shown in drawing 3, a dielectric layer, and an upper electrode is illustrated, and it is drawing 4 (d). Side in which the thin film capacitor of the connecting member of this invention is not formed (rear-face side) The electrode pattern of a base surface is shown.

[Drawing 5]It is process drawing which illustrates the manufacturing method of the connecting member of this invention, and the processing condition of process order is shown typically.

[Drawing 6]It is a typical explanatory view of the equivalent circuit of the power source line at the time of carrying out flip chip mounting of the LSI to a package using the connecting member of this invention.

[Drawing 7]It is a graph which shows the analysis result which carried out the simulation of the relation of the inductance and frequency by the connecting member of Examples 1 and 2 with the structure shown in drawing 1 and drawing 3, respectively.

[Drawing 8]It is process drawing which illustrates the manufacturing method of the connecting member of this invention of the structure where the dielectric layer of a thin film capacitor has concavo-convex sectional shape.

[Drawing 9]It is process drawing which illustrates another manufacturing method of the

connecting member of this invention of the structure where the dielectric layer of a thin film capacitor has concavo-convex sectional shape.

[Drawing 10] It is process drawing which illustrates another manufacturing method of the connecting member of this invention of the structure where the dielectric layer of a thin film capacitor has concavo-convex sectional shape.

[Drawing 11] It is process drawing which illustrates the concavo-convex grant method to the base surface of the connecting member of this invention.

[Drawing 12] It is an explanatory view showing one example of the method of giving unevenness of sine wave shape to the base surface of the connecting member of this invention.

[Drawing 13] It is an explanatory view showing another example of the method of giving unevenness of sine wave shape to the base surface of the connecting member of this invention.

[Description of Notations]

10: A connecting member, 12 plastic bases, 14:conductive member, 20:LSI, 30:mounting board, 22, the solder ball for 32:mounting, 40:thin film capacitor, 42 : an electrode, 42a : A lower electrode, 42b : An upper electrode, 44:dielectric layer, 46: Electrode for connection by the side of a rear face

---

[Translation done.]